

PCT

世界知的所有権機関  
国際事務局  
特許協力条約に基づいて公開された国際出願

(51) 国際特許分類7 H01L 21/20, 27/12, 29/786	A1	(11) 国際公開番号 WO00/19500
		(43) 国際公開日 2000年4月6日 (06.04.00)

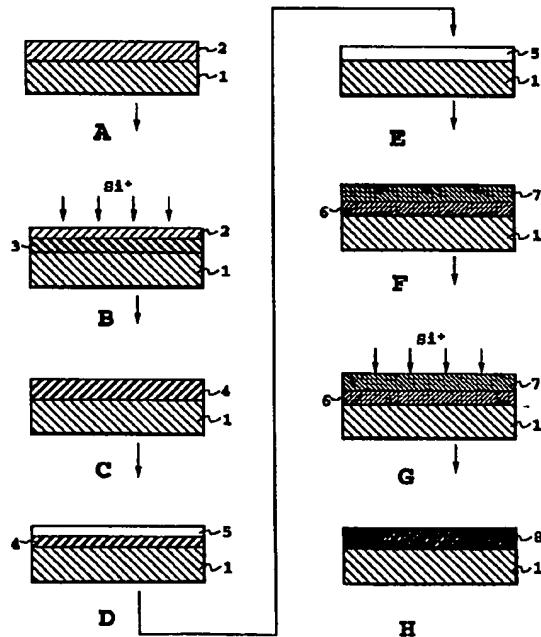
(21) 国際出願番号 PCT/JP99/05231	(22) 国際出願日 1999年9月24日 (24.09.99)	(81) 指定国 AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, US, UZ, VN, YU, ZW, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), ARIPO特許 (GH, GM, KE, LS, MW, SD, SL, SZ, TZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM)
(30) 優先権データ 特願平10/272126	1998年9月25日 (25.09.98)	JP
(71) 出願人 (米国を除くすべての指定国について) 旭化成工業株式会社 (ASAHI KASEI KOGYO KABUSHIKI KAISHA)[JP/JP] 〒530-8205 大阪府大阪市北区堂島浜1丁目2-6 Osaka, (JP)		
(72) 発明者 ; および (75) 発明者／出願人 (米国についてのみ) 森下 隆(MORISHITA, Takashi)[JP/JP] 〒420-0882 静岡県静岡市安東2-16-19 クレール安東304 Sizuoka, (JP) 松井正宏(MATSUI, Masahiro)[JP/JP] 〒417-0001 静岡県富士市今泉3689-13 Sizuoka, (JP)		添付公開書類 国際調査報告書
(74) 代理人 谷 義一(TANI, Yoshikazu) 〒107-0052 東京都港区赤坂2丁目6-20 Tokyo, (JP)		

(54) Title: SEMICONDUCTOR SUBSTRATE AND ITS PRODUCTION METHOD, SEMICONDUCTOR DEVICE COMPRISING THE SAME AND ITS PRODUCTION METHOD

(54) 発明の名称 半導体基板とその製造方法、及びそれを用いた半導体デバイスとその製造方法

## (57) Abstract

A method for producing an SOI substrate having a monocrystalline oxide substrate or silicon substrate, an insulating underlying layer of an oxide deposited on the substrate, and a silicon layer epitaxially grown on the underlying layer comprises implanting ions into a first silicon layer epitaxially grown on an insulating underlying layer to turn the interface deep portion of the silicon layer amorphous, recrystallizing the amorphous interface deep portion by annealing, oxidizing part of the surface portion by heating, removing the silicon oxide layer by etching, growing a second silicon layer epitaxially on the remaining first silicon layer, implanting ions again into the silicon layer to turn the interface deep portion amorphous, and recrystallize the amorphous deep portion by annealing. Thus, an SOI substrate having a silicon layer of an extremely small crystal defect density and having a good surface planarity is produced. Therefore, a novel electronic or optical device having a high device performance and a high reliability is built on such a semiconductor substrate.



(57)要約

単結晶酸化物基板や、シリコン基板上に堆積された酸化物層等の絶縁性の下地の上に、シリコン層をエピタキシャル成長したSOI基板を製造する場合に、絶縁性の下地の上にエピタキシャル成長した第1のシリコン層に、イオンを注入してシリコン層の界面深部をアモルファス化した後、アニール処理を行い再結晶化する。次に加熱処理して表面側の一部を酸化し、そのシリコン酸化物層をエッチング除去した後、残った第1のシリコン層の上にシリコン層をエピタキシャル成長して第2のシリコン層を形成する。その後、第2のシリコン層に再びイオンを注入して界面深部をアモルファス化した後、アニール処理を行い、再結晶化する。これにより、シリコン層の結晶欠陥密度が極めて小さく、表面平坦性の良好なSOI基板を作製することができる。そのため、本発明による半導体基板上には、従来にない、高いデバイス性能や信頼性を有する電子デバイスや光デバイスを実現することができる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	RU ロシア
AL アルバニア	EE エストニア	LC セントルシア	SD スーダン
AM アルメニア	ES スペイン	LI リヒテンシュタイン	SE スウェーデン
AT オーストリア	FI フィンランド	LK スリ・ランカ	SG シンガポール
AU オーストラリア	FR フランス	LR リベリア	SI スロヴェニア
AZ アゼルバイジャン	GA ガボン	LS レソト	SK スロ伐キア
BA ボスニア・ヘルツェゴビナ	GB 英国	LT リトアニア	SL シエラ・レオネ
BB バルバドス	GDE グレナダ	LU ルクセンブルグ	SN セネガル
BF ベルギー	GE グルジア	LV ラトヴィア	SZ スウェーデン
BG ブルガリア	GH ガーナ	MA モロッコ	TD チャード
BR ブラジル	GM ガンビア	MC モナコ	TG トーゴ
BY ベナン	GN ギニア	MD モルドバ	TJ タジキスタン
BR ブラジル	GW ギニア・ビサオ	MG マダガスカル	TZ タンザニア
CA カナダ	GRR ギリシャ	MK マケドニア旧ユーゴスラヴィア	TM トルクメニスタン
CF 中央アフリカ	HR クロアチア	共和国	TR トルコ
CG コンゴー	HU ハンガリー	ML マリ	TT トリニダード・トバゴ
CH スイス	ID インドネシア	MN モンゴル	UA ウクライナ
CI コートジボアール	IE アイルランド	MR モーリタニア	UG ウガンダ
CM カメルーン	IL イスラエル	MW マラウイ	US 米国
CN 中国	IN インド	MX メキシコ	UZ ウズベキスタン
CR コスタ・リカ	IS アイスランド	NE ニジニノヴゴロド	VN ヴィエトナム
CU キューバ	IT イタリア	NL オランダ	YU ユーゴスラビア
CY キプロス	JP 日本	NO ノルウェー	ZA 南アフリカ共和国
CZ チェコ	KE ケニア	NZ ニュー・ジーランド	ZW ジンバブエ
DE ドイツ	KG キルギスタン	PL ポーランド	
DK デンマーク	KP 北朝鮮	PT ポルトガル	
	KR 韓国	RO ルーマニア	

## 明細書

## 半導体基板とその製造方法、及びそれを用いた半導体デバイスとその製造方法

## 5 技術分野

本発明は、シリコン・オン・インシュレータ（S O I）やシリコン・オン・サファイア（S O S）等の半導体基板の製造方法に係り、転位や欠陥が少なく、表面平坦性の良好なシリコン層を有する半導体基板およびその製造方法に関するものである。  
10 また、本発明は、上記半導体基板上に形成した半導体デバイスとその製造方法に関するものである。

## 背景技術

15 従来より絶縁物上に単結晶シリコン半導体層を形成した構造を有する基板材料としてS O IやS O S等が知られている。なお、本明細書においては、前記S O I基板およびS O S基板を含めて、絶縁物層上に単結晶シリコン半導体層を形成した半導体基板を総称したものも、S O I基板と記す。これらの基板材料はデバイス作製に広く応用されており、以下のような点で通常のシリコン基板に比べて優れてい  
20 る。

- (1) 寄生容量低減により高速性に優れている。
- (2) ソフトエラーに強い。
- (3) ラッチアップがない。
- (4) ウエル工程を省略できる。

25 これらのデバイス特性上の利点を実現するために、S O I基板の製造方法として従来より次のようなものがある。

(1) 貼り合わせ法：シリコン単結晶基板を、表面を熱酸化した別のシリコン単結晶基板に、熱処理または接着剤を用いて貼り合わせた後、機械的研磨や化学エッティング等を用いて、片側シリコン層を均一に薄膜化する方法。

(2) SIMOX (セパレーション・バイ・イオン・インプランテド・オキサイド) 法：シリコン基板に酸素イオンを注入した後、熱処理して、シリコン基板中に、埋め込み  $\text{SiO}_2$  (酸化シリコン) 層を作製する方法。

(3) 固相エピタキシャル成長法：シリコン基板の表面を酸化した後、酸化膜の一部に窓をあけてシリコン基板を露出させ、その上に非晶質シリコンを成長する。次に、熱処理を施し、露出したシリコンと接する部分から出発して、非晶質シリコン層を横方向の固相エピタキシャル成長によって結晶化する方法。

(4) ヘテロエピタキシャル成長法：絶縁性の酸化物基板あるいはシリコン基板上に結晶性の酸化物やフッ化物の層を堆積した後、その上に単結晶シリコン層を CVD 法等で成長する方法。

しかしながら、これらの方法は一長一短があり、生産性、品質については依然問題をかかえている。例えば、貼り合わせ法では、シリコン基板自体を薄膜化する必要があり、シリコン基板を  $1 \mu\text{m}$  以下まで精度よく、なおかつ均一にエッティングあるいは研磨することは極めて困難である。

また、SIMOX 法は長い間研究されてきたが、シリコン基板中に  $\text{SiO}_2$  の埋め込み酸化膜を形成するためには、多量の酸素イオンを打ち込まなければならず、生産性やコストに問題があるとともに、シリコン層中の結晶欠陥が多く、埋め込み酸化膜中にパイプと呼ばれる欠陥が存在するという問題もある。

加えて、貼り合わせ SOI 基板や SIMOX 基板では、その上に作製された素子 (例えば、電界効果トランジスタ) のスナップバック耐圧が低い、電流電圧特性にキックが現れやすい、さらには、セルフヒーティングによる負性電気伝導が起こりやすい、という欠点があり、品質上の問題となっている。スナップバック耐圧とは、素子が FET (電界効果トランジスタ) の場合、FET として動作する際に、ボディ

部とドレン部の接合部に発生するホットキャリアがボディ部に蓄積して、ドレン部とボディ部とソース部との間に流れるドレン電流が急増して、耐圧が低下することを意味する。リンクもまたホットキャリアがボディ部に蓄積することに起因する。負性電気伝導は、電圧の増加とともに電流が減少していくという現象である。5 が、これは、絶縁性の下地であるシリコン酸化物の熱伝導率が低いために、ゲート電圧やドレン電圧が高くなるに従い、FETの自己発熱による熱が蓄積して温度が上昇し、シリコン層の移動度が低下することにより発生する。

一方、SOI技術の前身としてSOS技術が知られている。SOS基板はこれまで主に耐放射線性を必要とするデバイスに使われてきた。SOS基板は寄生容量が10 小さい等のSOI基板の特長に加えて、厚い絶縁層を有することから、基板を通じてのノイズが小さい等の特長を持つ。また、SOS基板ではシリコン層とサファイア界面でのキャリアのライフタイムが短くなるために、FETが動作する際に、ボディ部とドレン部の接合部に発生するホットキャリアは直ぐに再結合してボディ部に蓄積しにくい。従って、ドレン部とボディ部とソース部の間に流れる電流が急増せず、耐圧が低下しない。すなわち、スナップバック耐圧が高く、リンクの出にくいことが、SOS基板の大きな特長となっている。さらには、サファイアの熱伝導率が高いため、SOS基板では負性電気伝導が起こりにくいという特徴もある。しかしながら、SOS基板は、シリコンをサファイア基板上にヘテロエピタキシャル成長させて作製するために、シリコン層とサファイア基板20 (α-Al<sub>2</sub>O<sub>3</sub>)との格子定数や熱膨張係数の違いにより、多数の結晶欠陥や大きな表面粗さの発生が問題となっていた。

これを解決する手段としては、このシリコン層にさらにシリコンイオンを注入してシリコン層深部をアモルファス化した後、アニールにより再結晶化を行うことが知られている (U.S.P 5 4 1 6 0 4 3)。しかしながら、この方法を用いてもバルクシリコンと比較すると依然結晶欠陥密度は高い。

また、シリコン基板上に、酸化物層やフッ化物層等の中間層、さらにその上に単

結晶シリコン層をエピタキシャル成長したS O I 基板として、例えば、中間層に $\gamma$ -Al<sub>2</sub>O<sub>3</sub>を用いたものが知られている（特開平1-261300号）が、これらのS O I 基板においても同様に、シリコン層と中間層の界面でのキャリアのライフタイムが短くなり、S O S と同等の高いスナップバック耐圧が得られ、リンクが5出にくくなることが期待されるが、やはり格子定数や熱膨張係数の違いに起因するシリコン層の結晶性の低下や表面粗さの増大が問題となっている。

また、これらS O S 基板やS O I 基板におけるシリコン層では、絶縁性の下地との界面に近づくほど結晶欠陥密度が高くなり、結晶性が低下する、という問題がある。そのため、これら基板上に、例えば、高速・低消費電力用のデバイスを作成する場合のように、厚さが0.05~0.3 μmと薄いシリコン層においては、きわめて多くの結晶欠陥を含み、結晶性も悪くなる。

そのため、サファイア基板を用いるS O S 基板や、シリコン基板上に堆積した酸化物層やフッ化物層のような中間層を利用するS O I 基板は、貼り合わせS O I 基板やS I M O X 基板と比較すると、シリコン層の結晶性や表面平坦性が悪く、それらの基板上に半導体デバイス、例えば、M O S F E T（金属・酸化物・半導体構造15電界効果トランジスタ）を形成した場合、フリッカーノイズの原因となったり、ゲート酸化膜の耐圧低下、実効移動度や相互コンダクタンスの低下、リーク電流増加等、F E T の動作性能や信頼性を悪化させている。

シリコン層の表面平坦性を改善する手法としては、インシュレータ層がS i O<sub>2</sub>である貼り合わせS O I 基板を還元性雰囲気中で加熱処理するという方法が知られている（特開平5-217821号公報参照）。しかしながら、この方法によれば、平坦性は向上するがシリコン層の下地がS i O<sub>2</sub>であるためにスナップバック耐圧の向上が見られなかった。デバイスの信頼性を考慮すれば、スナップバック耐圧は高いほど好ましく、S O S 基板や、シリコン基板上に酸化物層やフッ化物層等25の中間層、さらに、その上に単結晶シリコン層をエピタキシャル成長したS O I 基板において、シリコン層の結晶性や表面平坦性を改善し、これらに起因するデバイ

ス性能や信頼性を向上できれば、フリッカーノイズが低い、実効移動度や相互コンダクタンスが高い、ゲート酸化膜耐圧が高い、リーク電流が低い等の特性に加えて、スナップバック耐圧が高く、電流電圧特性にキンクや負性電気伝導が現れないという、従来のSOI基板では得られなかった、素子の性能や信頼性を実現することが

5 できる。

また、電子デバイスばかりでなく、SOS基板や、シリコン基板上に酸化物層やフッ化物層などの中間層、さらにその上に単結晶シリコン層をエピタキシャル成長したSOI基板において、シリコン層の結晶性や表面平坦性を改善することで、従来、リーク電流が高い、キャリア再結合速度が大きい、光散乱が顕著などの理由に

10 より、これらの半導体基板上には実現困難であった光デバイスの作製も可能になる。

本発明は、従来のSOS基板、あるいはシリコン基板上に酸化物層あるいはフッ化物層等の中間層を堆積し、その上にシリコン層をエピタキシャル成長させたSOI基板の問題点を解決し、結晶性や表面平坦性が良好で、結晶欠陥密度が深さ方向に一様に低いSOI基板等の半導体基板を提供し、その基板上に半導体デバイスを15 形成することにより、高速・低フリッカーノイズ、低リーク電流、高スナップバック耐圧等、従来得られなかった優れた性能や信頼性を有する電子デバイスや光デバイス等の半導体デバイスを実現することを、課題とする。

### 発明の開示

かかる状況下において、本発明者らは、サファイア基板上にシリコン層を成長させてSOS基板を作製する場合、あるいはシリコン基板上に中間層として酸化物層あるいはフッ化物層を堆積し、その上にシリコン層を成長させてSOI基板を作製する場合等の半導体基板の製造方法において、シリコン層を成長させた後に、このシリコン層にシリコンイオンを注入してシリコン層深部をアモルファス化した後、25 アニールにより再結晶化を行って結晶改善し、そして、その上に再度シリコン層を

ホモエピタキシャル成長することによって、欠陥の少ない、高結晶性のシリコン層が形成でき、さらに、このシリコン層にシリコンイオンを注入してシリコン層深部をアモルファス化した後、アニールにより再結晶化を行うことにより、極めて欠陥の少ない高結晶性のシリコン層を形成できることを見いだし、本発明をなすに至つた。また、最初の再結晶化を行った後、酸化性雰囲気で熱処理を行ってシリコン層の表面側の一部を酸化し、そのシリコン酸化物層をフッ酸等でエッチング除去すると、後に欠陥の少ない、高配向性のシリコン層が残ること、そして、このシリコン層をシード層として、その上に再度シリコン層をホモエピタキシャル成長することによって、欠陥の少ない、高結晶性のシリコン層を形成できることも見いだした。

さらに、本発明者らは、例えば、上記製造方法により作製した、欠陥が少なく、結晶性や表面平坦性の良好な半導体基板上にMOSFETを形成した場合に、従来と比べて、動作速度の向上、フリッカーノイズの低減、リーク電流の低減等、顕著なデバイス性能の向上が達成され、従来のSOI基板では実現できなかったデバイスが可能になることを見いだし、本発明をなすに至った。

すなわち、

本発明の請求の範囲第1項の半導体基板は、絶縁性の下地と、その上にエピタキシャル成長された結晶シリコン層とからなり、前記絶縁性の下地が、単結晶酸化物基板、またはシリコン基板とその上に堆積された結晶性の酸化物層もしくはフッ化物層とからなる積層基板から構成されている半導体基板であって、ヨウ素系エッチング液への浸漬により形成した単位面積あたりのピット数を計測するという欠陥密度測定方法により評価した前記結晶シリコン層の欠陥密度が、深さ方向全体に亘って $7 \times 10^6$ 個/ $\text{cm}^2$ 以下であり、かつ該結晶シリコン層の表面粗さが、2nm以下0.05nm以上であることを特徴とする。

本発明の請求の範囲第2項の半導体基板は、前記請求の請求の範囲第1項の半導体基板において、前記結晶シリコン層の、基板面に対して平行なシリコン(004)ピークのX線回折ロッキングカーブ半値幅が、0.24度以下0.03度以上であ

り、かつ基板面に対して垂直なシリコン(0 4 0)ピークのX線回折ロッキングカーブ半値幅が0. 18度以下0. 03度以上であることを特徴とする。

本発明の請求の範囲第3項の半導体基板は、前記請求の範囲第1項の半導体基板において、前記結晶シリコン層の、基板面に対して垂直なシリコン(0 4 0)ピークのX線回折ロッキングカーブ半値幅が、基板面に対して平行なシリコン(0 0 4)ピークのX線ロッキングカーブ半値幅よりも小さいことを特徴とする。  
5

本発明の請求の範囲第4項の半導体基板は、前記請求の範囲第1項の半導体基板において、前記結晶シリコン層の、基板面に対して垂直なシリコン(0 4 0)ピークのX線回折ロッキングカーブ半値幅が、深さ方向全体に渡ってほぼ一定で、  
10 0. 18度以下0. 03度以上であることを特徴とする。

本発明の請求の範囲第5項の半導体基板は、前記請求の範囲第1項の半導体基板において、前記結晶シリコン層の一部を熱酸化し、該結晶シリコン層上にシリコン酸化物層を形成した後、チャージポンピング法により測定した界面準位密度が、 $3 \times 10^{11} / \text{cm}^2$ 以下 $1 \times 10^9 / \text{cm}^2$ 以上であることを特徴とする。  
15

本発明の請求の範囲第6項の半導体基板は、前記請求の範囲第1項の半導体基板において、前記結晶シリコン層の厚さが0. 03  $\mu\text{m}$ 以上0. 7  $\mu\text{m}$ 以下であることを特徴とする。  
20

本発明の請求の範囲第7項の半導体基板は、前記請求の範囲第1項の半導体基板において、前記絶縁性の下地が前記単結晶酸化物基板であり、該単結晶酸化物基板がサファイア基板であることを特徴とする。

本発明の請求の範囲第8項の半導体基板は、前記請求の範囲第1項の半導体基板において、前記絶縁性の下地が前記積層基板であり、その基板としてのシリコン基板上に堆積された結晶性の前記酸化物層が、 $\alpha-\text{Al}_2\text{O}_3$ 、 $\gamma-\text{Al}_2\text{O}_3$ 、 $\theta-\text{Al}_2\text{O}_3$ 、 $\text{MgO} \cdot \text{Al}_2\text{O}_3$ 、 $\text{CeO}_2$ 、 $\text{SrTiO}_3$ 、 $(\text{Zr}_{1-x}, \text{Y}_x)\text{O}_y$ 、  
25  $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 、 $\text{LiTaO}_3$ 、 $\text{LiNbO}_3$ のいずれかからなり、前記フッ化物層が $\text{CaF}_2$ からなることを特徴とする。

また、本発明の請求の範囲第9項は、絶縁性の下地の上に欠陥密度が低いシリコン層が形成されてなる半導体基板の製造方法であって、

- (a) 前記絶縁性の下地の上に、第1のシリコン層を形成する工程と、
- (b) 前記第1のシリコン層に第1のイオン注入をして界面深部をアモルファス化し、該アモルファス化された層を第1の熱処理により再結晶化する工程と、
- (c) 第1のシリコン層の上に、シリコン層をエピタキシャル成長して、第2のシリコン層を形成する工程と、
- (d) 前記第2のシリコン層に第2のイオン注入をして界面深部をアモルファス化し、該アモルファス化された層を第2の熱処理により再結晶化する工程と、
- 10 を有することを特徴とする。

また、本発明の請求の範囲第10項は、絶縁性の下地の上に欠陥密度が低いシリコン層が形成されてなる半導体基板の製造方法であって、

- (a) 前記絶縁性の下地の上に、第1のシリコン層を形成する工程と、
- (b) 前記第1のシリコン層に第1のイオン注入をして界面深部をアモルファス化し、該アモルファス化された層を第1の熱処理により再結晶化する工程と、
- 15 (c) 前記再結晶化された第1のシリコン層を酸化性雰囲気中で熱処理し、表面側の一部を酸化する工程と、
- (d) 前記工程(c)で形成されたシリコン酸化膜をエッチングにより除去する工程と、
- 20 (e) 残った第1のシリコン層の上に、シリコン層をエピタキシャル成長して、第2のシリコン層を形成する工程と、
- (f) 前記第2のシリコン層に第2のイオン注入をして界面深部をアモルファス化し、該アモルファス化された層を第2の熱処理により再結晶化する工程と、
- 25 を有することを特徴とする。

また、本発明の請求の範囲第11項の半導体基板の製造方法は、前記請求の範囲第10項の製造方法において、前記残った第1のシリコン層を所定の厚さにする際

に、前記工程 (c) ~ (d) を 2 回以上繰り返すことを特徴とする。

本発明の請求の範囲第 12 項の半導体基板の製造方法は、前記請求の範囲第 10 または 11 項の製造方法において、前記工程 (f) において形成されたシリコン層を前記工程 (b) で形成された再結晶化された第 1 のシリコン層と見なし、前記工程 (c) ~ (f) を、2 回以上繰り返すことを特徴とする。

また、本発明の請求の範囲第 13 項の半導体基板の製造方法は、絶縁性の下地の上に欠陥密度が低いシリコン層が形成されてなる半導体基板の製造方法であって、

(a) 前記絶縁性の下地の上に、第 1 のシリコン層を形成する工程と、

(b) 前記第 1 のシリコン層を酸化性雰囲気中で熱処理し、表面側の一部を酸

化する工程と、

(c) 前記工程 (b) で形成されたシリコン酸化膜をエッチングにより除去す

る工程と、

(d) 残った第 1 のシリコン層の上に、シリコン層をエピタキシャル成長して、

第 2 のシリコン層を形成する工程と、

(e) 前記第 2 のシリコン層にイオン注入をして界面深部をアモルファス化し、

該アモルファス化された層を熱処理により再結晶化する工程と、

を有することを特徴とする。

本発明の請求の範囲第 14 項の半導体基板の製造方法は、前記請求の範囲第 13

項の製造方法において、前記残った第 1 のシリコン層を所定の厚さにする際に、前

記工程 (b) ~ (c) を 2 回以上繰り返すことを特徴とする。

本発明の請求の範囲第 15 項の半導体基板の製造方法は、前記請求の範囲第 13

または 14 項のいずれかの製造方法において、前記工程 (e) において形成されたシリコン層を前記工程 (a) で形成された第 1 のシリコン層と見なし、前記工程 (b) ~ (e) を、2 回以上繰り返すことを特徴とする。

本発明の請求の範囲第 16 項の半導体基板の製造法は、請求の範囲第 10 ないし

15 項のいずれかの製造方法において、前記酸化性雰囲気が、酸素と水素の混合ガ

スまたは水蒸気を含むことを特徴とする。

本発明の請求の範囲第17項の半導体基板の製造方法は、前記請求の範囲第10ないし16項のいずれかの製造方法において、前記酸化性雰囲気中での熱処理の温度が600°C以上1300°C以下であることを特徴とする。

5 本発明の請求の範囲第18項の半導体基板の製造方法は、前記請求の範囲第10ないし16項のいずれかの製造方法において、前記酸化性雰囲気中での熱処理が、高温で行う高温熱処理と、引き続きより低温で行う低温熱処理という、温度を変えた2段階の熱処理からなることを特徴とする。

10 本発明の請求の範囲第19項の半導体基板の製造方法は、前記請求の範囲第18項に記載の半導体基板の製造方法において、前記酸化性雰囲気中での高温熱処理の温度が800°C以上1200°C以下であり、前記酸化性雰囲気中での低温熱処理の温度が700°C以上1100°C以下であることを特徴とする。

15 本発明の請求の範囲第20項の半導体基板の製造方法は、前記請求の範囲第9ないし15項のいずれかの製造方法において、前記第1のシリコン層の上に、シリコン層をエピタキシャル成長して、第2のシリコン層を形成する温度が、550°C以上1050°C以下であることを特徴とする。

20 本発明の請求の範囲第21項の半導体基板の製造方法は、前記請求の範囲第9ないし15項のいずれかの製造方法において、前記第1のシリコン層の上に、シリコン層をエピタキシャル成長して、第2のシリコン層を形成する工程の前に、該第1のシリコン層を水素雰囲気中または真空中で加熱処理することを特徴とする。

25 本発明の請求の範囲第22項の半導体基板の製造方法は、前記請求の範囲第9ないし15項のいずれかの製造方法において、前記第1のシリコン層の上に、シリコン層をエピタキシャル成長して、第2のシリコン層を形成する際に用いる装置の成長室のベース圧力を $10^{-7}$  Torr以下とすることを特徴とする。

本発明の請求の範囲第23項の半導体基板の製造方法は、前記請求の範囲第9ないし15項のいずれかの製造方法において、前記第1のシリコン層の上に、シリコ

ン層をエピタキシャル成長して、第2のシリコン層を形成する方法が、UHV-CVD法またはMBE法であることを特徴とする。

本発明の請求の範囲第24項の半導体基板の製造方法は、前記請求の範囲第9ないし15項のいずれかの製造方法において、前記第1のシリコン層の上に、シリコン層をエピタキシャル成長して、第2のシリコン層を形成する時に、成長初期においてのみ成長温度を高く設定することを特徴とする。

本発明の請求の範囲第25項の半導体基板の製造方法は、前記請求の範囲第24項に記載の半導体基板の製造方法において、前記第1のシリコン層の上に、シリコン層をエピタキシャル成長して、第2のシリコン層を形成する方法が、APCVD法またはLPCVD法であることを特徴とする。

本発明の請求の範囲第26項の半導体基板の製造方法は、前記請求の範囲第9ないし15項のいずれかの製造方法において、前記第2のシリコン層にイオン注入をして界面深部をアモルファス化し、該アモルファス化された層を熱処理により再結晶化する工程の後、または前記シリコン層をエピタキシャル成長して第2のシリコン層を形成する工程の後に、水素中で熱処理する工程を有することを特徴とする。

本発明の請求の範囲第27項の半導体基板の製造方法は、前記請求の範囲第26項の製造方法において、前記水素中での熱処理の温度が800℃以上1200℃以下であることを特徴とする。

本発明の請求の範囲第28項の半導体基板の製造方法は、前記請求の範囲第9ないし15項のいずれかの製造方法において、前記第2のシリコン層にイオン注入をして界面深部をアモルファス化し、該アモルファス化された層を熱処理により再結晶化する工程の後に、シリコン層の表面を平坦化することを特徴とする。

本発明の請求の範囲第29項の半導体基板の製造方法は、前記請求の範囲第28項に記載の製造方法において、前記シリコン層の表面を平坦化する方法が、化学的または/および機械的研磨処理であることを特徴とする。

本発明の請求の範囲第30項の半導体基板の製造方法は、前記請求の範囲第9な

いし 2 9 項のいずれかの製造方法において、前記絶縁性の下地の上に第 1 のシリコン層を形成する工程が、絶縁性の下地の上に第 1 のシリコン層をエピタキシャル成長する工程であることを特徴とする。

本発明の請求の範囲第 3 1 項の半導体基板の製造方法は、前記請求の範囲第 9 ないし 3 0 項のいずれかの製造方法において、前記絶縁性の下地が単結晶酸化物基板であることを特徴とする。

本発明の請求の範囲第 3 2 項の半導体基板の製造方法は、前記請求の範囲第 3 1 項に記載の製造方法において、前記絶縁性の下地がサファイア基板であることを特徴とする。

本発明の請求の範囲第 3 3 項の半導体基板の製造方法は、前記請求の範囲第 9 ないし 3 0 項のいずれかの製造方法において、前記絶縁性の下地が、基板としてのシリコン基板上に堆積された結晶性の酸化物層もしくはフッ化物層とからなる積層基板であることを特徴とする。

本発明の請求の範囲第 3 4 項の半導体基板の製造方法は、前記請求の範囲第 3 3 項に記載の製造方法において、前記結晶性の酸化物層が、 $\alpha$ -Al<sub>2</sub>O<sub>3</sub>、 $\gamma$ -Al<sub>2</sub>O<sub>3</sub>、 $\theta$ -Al<sub>2</sub>O<sub>3</sub>、MgO·Al<sub>2</sub>O<sub>3</sub>、CeO<sub>2</sub>、SrTiO<sub>3</sub>、(Zr<sub>1-x</sub>, Y<sub>x</sub>)O<sub>y</sub>、Pb(Zr, Ti)O<sub>3</sub>、LiTaO<sub>3</sub>、LiNbO<sub>3</sub>のいずれかからなり、前記結晶性のフッ化物層がCaF<sub>2</sub>からなることを特徴とする。

また、本発明の請求の範囲第 3 5 項の半導体基板は、前記請求の範囲第 9 ないし 3 4 項のいずれかに記載の製造方法により製造されたことを特徴とする。

本発明の請求の範囲第 3 6 項の半導体基板は、前記請求の範囲第 1 ないし 8 項のいずれかの半導体基板において、前記請求の範囲第 9 ないし 3 4 項のいずれかに記載の製造方法により製造されたことを特徴とする。

また、本発明の請求の範囲第 3 7 項の半導体デバイスは、基板として半導体基板を用いた半導体デバイスであって、前記半導体基板として、請求の範囲第 1 ないし 8 項のいずれかに記載の半導体基板が用いられ、それによってデバイス特性が向上

していることを特徴とする。

本発明の請求の範囲第38項の半導体デバイスは、前記請求の範囲第37項に記載の半導体デバイスにおいて、前記半導体デバイスがMOSFETであり、その半導体基板として請求項1ないし8のいずれかに記載の半導体基板を用いることにより向上しているデバイス特性が、相互コンダクタンス、遮断周波数、フリッカーノイズ、エレクトロスタティック・ディスチヤージ、ドレイン耐圧、絶縁破壊電荷量、リーク電流特性のうちの少なくとも一つであることを特徴とする。

本発明の請求の範囲第39項の半導体デバイスは、前記請求の範囲第38項に記載の半導体デバイスにおいて、前記MOSFETが、その半導体基板として請求項1ないし8のいずれかに記載の半導体基板であつて、結晶シリコン層の厚さが0.03μm以上0.7μm以下の半導体基板上に形成されたMOSFETであり、電流-電圧特性にキックが現れず、ゲート長0.8μmの場合のドレイン耐圧が7V以上あり、フリッカーノイズを表すインプット・ゲート・ボルテージ・スペクトル・デンシティが測定周波数100Hzで $3 \times 10^{-12} V^2/Hz$ 以下という特性を有することを特徴とする。

本発明の請求の範囲第40項の半導体デバイスは、前記請求の範囲第37項の半導体デバイスにおいて、前記半導体デバイスがバイポーラトランジスタであり、その半導体基板として請求の範囲第1ないし8項のいずれかに記載の半導体基板を用いることにより向上しているデバイス特性が、相互コンダクタンス、遮断周波数、コレクター電流、リーク電流、電流利得のうちの少なくとも一つであることを特徴とする。

本発明の請求の範囲第41項の半導体デバイスは、前記請求の範囲第37項の半導体デバイスにおいて、前記半導体デバイスがダイオードであり、その半導体基板として請求の範囲第1ないし8項のいずれかに記載の半導体基板を用いることにより向上しているデバイス特性が、逆バイアスリーク電流、順バイアス電流、ダイオード因子のうちの少なくとも一つであることを特徴とする。

本発明の請求の範囲第42項の半導体デバイスは、前記請求の範囲第41項の半導体デバイスにおいて、前記ダイオードが、その半導体基板として請求の範囲第1ないし8項のいずれかに記載の半導体基板であって、結晶シリコン層の厚さが0.03μm以上0.7μm以下の半導体基板上に形成されたp i n フォトダイオードであり、p i n領域の幅が各1μmで、2Vの逆バイアスを印加という条件で測定した暗電流が10<sup>-11</sup>A以下、波長850nmで強度が1W/cm<sup>2</sup>の光照射下での光電流が10<sup>-10</sup>A以上という特性を有することを特徴とする。

本発明の請求の範囲第43項の半導体デバイスは、前記請求の範囲第37項の半導体デバイスにおいて、前記半導体デバイスが半導体集積回路であり、その半導体基板として請求の範囲第1ないし8項のいずれかに記載の半導体基板を用いることにより向上しているデバイス特性が、周波数特性、ノイズ特性、增幅特性、消費電力特性のうちの少なくとも一つであることを特徴とする。

また、本発明の請求の範囲第44項の半導体デバイスは、基板として半導体基板を用いた半導体デバイスであって、前記半導体基板として、前記請求の範囲第9ないし34項のいずれかに記載の製造方法により製造された半導体基板が用いられ、それによってデバイス特性が向上していることを特徴とする。

本発明の請求の範囲第45項の半導体デバイスは、前記請求の範囲第44項の半導体デバイスにおいて、前記半導体デバイスがMOSFETであり、前記デバイス特性が、相互コンダクタンス、遮断周波数、フリッカーノイズ、エレクトロスタティック・ディスチャージ、ドレイン耐圧、絶縁破壊電荷量、リーク電流特性のうちの少なくとも一つであることを特徴とする。

本発明の請求の範囲第46項の半導体デバイスは、前記請求の範囲第45項の半導体デバイスにおいて、前記MOSFETが、その半導体基板として請求の範囲第9ないし34項のいずれかに記載の製造方法により製造された半導体基板であつて、結晶シリコン層の厚さが0.03μm以上0.7μm以下の半導体基板上に形成されたMOSFETであり、電流電圧特性にキックが現れず、ゲート長

0. 8  $\mu\text{m}$ の場合のドレイン耐圧が7 V以上あり、フリッカーノイズを表すインプット・ゲート・ボルテージ・スペクトラル・デンシティが測定周波数100 Hzで $3 \times 10^{-12} \text{ V}^2/\text{Hz}$ 以下という特性を有することを特徴とする。

5 本発明の請求の範囲第47項の半導体デバイスは、前記請求の範囲第44項の半導体デバイスにおいて、前記半導体デバイスがバイポーラトランジスタであり、前記デバイス特性が、相互コンダクタンス、遮断周波数、コレクター電流、リーク電流、電流利得のうちの少なくとも一つであることを特徴とする。

10 本発明の請求の範囲第48項の半導体デバイスは、前記請求の範囲第44項の半導体デバイスにおいて、前記半導体デバイスがダイオードであり、前記デバイス特性が、逆バイアスリーク電流、順バイアス電流、ダイオード因子のうちの少なくとも一つであることを特徴とする。

15 本発明の請求の範囲第49項の半導体デバイスは、前記請求の範囲第48項の半導体デバイスにおいて、前記ダイオードが、その半導体基板として請求の範囲第9項のいずれかに記載の製造方法により製造された半導体基板であって、ないし34項のいずれかに記載の製造方法により製造された半導体基板上に形成されたpinフォトダイオードであり、pin領域の幅が各1  $\mu\text{m}$ で、2 Vの逆バイアスを印加という条件で測定した暗電流が $10^{-11} \text{ A}$ 以下、波長850 nm、強度が $1 \text{ W/cm}^2$ の光照射下での光電流が $10^{-10} \text{ A}$ 以上という特性を有することを特徴とする。

20 本発明の請求の範囲第50項の半導体デバイスは、前記請求の範囲第44項の半導体デバイスにおいて、前記半導体デバイスが半導体集積回路であり、前記デバイス特性が、周波数特性、ノイズ特性、增幅特性、消費電力特性のうちの少なくとも一つであることを特徴とする。

25 また、本発明の請求の範囲第51項の半導体デバイスの製造方法は、絶縁性の下地と、その上に形成されたシリコン層からなる半導体基板上に半導体デバイスを製造する方法において、

(a) 前記絶縁性の下地の上に、第1のシリコン層を形成する工程と、  
(b) 前記第1のシリコン層に第1のイオン注入をして界面深部をアモルファス化し、該アモルファス化された層を第1の熱処理により再結晶化する工程と、  
(c) 第1のシリコン層の上に、シリコン層をエピタキシャル成長して、第2のシリコン層を形成する工程と、  
(d) 前記第2のシリコン層に第2のイオン注入をして界面深部をアモルファス化し、該アモルファス化された層を第2の熱処理により再結晶化する工程と、  
(e) 前記工程 (d) で形成されたシリコン層を酸化性雰囲気中で熱処理して表面側の一部を酸化した後、形成されたシリコン酸化膜をエッチングにより除去して、前記シリコン層を所望の厚さに調整する工程と、  
を有することを特徴とする。  
また、本発明の請求の範囲第52項の半導体デバイスの製造方法は、絶縁性の下地と、その上に形成されたシリコン層からなる半導体基板上に半導体デバイスを製造する方法において、  
(a) 前記絶縁性の下地の上に、第1のシリコン層を形成する工程と、  
(b) 前記第1のシリコン層に第1のイオン注入をして界面深部をアモルファス化し、該アモルファス化された層を第1の熱処理により再結晶化する工程と、  
(c) 前記再結晶化された第1のシリコン層を酸化性雰囲気中で熱処理し、表面側の一部を酸化する工程と、  
(d) 前記工程 (c) で形成されたシリコン酸化膜をエッチングにより除去する工程と、  
(e) 残った第1のシリコン層の上に、シリコン層をエピタキシャル成長して、第2のシリコン層を形成する工程と、  
(f) 前記第2のシリコン層に第2のイオン注入をして界面深部をアモルファス化し、該アモルファス化された層を第2の熱処理により再結晶化する工程と、  
(g) 前記工程 (f) で形成されたシリコン層を酸化性雰囲気中で熱処理して

表面側の一部を酸化した後、形成されたシリコン酸化膜をエッティングにより除去して、前記シリコン層を所望の厚さに調整する工程と、  
を有することを特徴とする。

本発明の請求の範囲第 5 3 項の半導体デバイスの製造方法は、前記請求の範囲第 5 2 項の半導体デバイスの製造方法において、前記残った第 1 のシリコン層を所定の厚さにする際に、前記工程 (c) ~ (d) を 2 回以上繰り返すことを特徴とする。

本発明の請求の範囲第 5 4 項の半導体デバイスの製造方法は、前記請求の範囲第 5 2 ないし 5 3 項のいずれかの半導体デバイスの製造方法において、前記工程 (f) において形成されたシリコン層を前記工程 (b) で形成された再結晶化された第 1 のシリコン層と見なし、前記工程 (c) ~ (f) を、2 回以上繰り返すことを特徴とする。

また、本発明の請求の範囲第 5 5 項の半導体デバイスの製造方法は、絶縁性の下地と、その上に形成されたシリコン層からなる半導体基板上に半導体デバイスを製造する方法において、

- 15 (a) 前記絶縁性の下地の上に、第 1 のシリコン層を形成する工程と、  
(b) 前記第 1 のシリコン層を酸化性雰囲気中で熱処理し、表面側の一部を酸化する工程と、  
(c) 前記工程 (b) で形成されたシリコン酸化膜をエッティングにより除去する工程と、  
20 (d) 残った第 1 のシリコン層の上に、シリコン層をエピタキシャル成長して、  
第 2 のシリコン層を形成する工程と、  
(e) 前記第 2 のシリコン層にイオン注入をして界面深部をアモルファス化し、  
該アモルファス化された層を熱処理により再結晶化する工程と、  
(f) 前記工程 (e) で形成されたシリコン層を酸化性雰囲気中で熱処理して  
25 表面側の一部を酸化した後、形成されたシリコン酸化膜をエッティングにより除去して、前記シリコン層を所望の厚さに調整する工程と、

を有することを特徴とする。

本発明の請求の範囲第 5 6 項の半導体デバイスの製造方法は、前記請求の範囲第 5 5 項の製造方法において、前記残った第 1 のシリコン層を所定の厚さにする際に、前記工程 (b) ~ (c) を 2 回以上繰り返すことを特徴とする。

5 本発明の請求の範囲第 5 7 項の半導体デバイスの製造方法は、前記請求の範囲第 5 5 または 5 6 項のいずれかに記載の半導体デバイスの製造方法において、前記工程 (e) において形成されたシリコン層を前記工程 (a) で形成された第 1 のシリコン層と見なし、前記工程 (b) ~ (e) を、2 回以上繰り返すことを特徴とする。

本発明の請求の範囲第 5 8 項の半導体デバイスの製造方法は、前記請求の範囲第 10 5 1 ないし 5 7 項のいずれかの製造方法において、前記第 2 のシリコン層にイオン注入をして界面深部をアモルファス化し、該アモルファス化された層を熱処理により再結晶化する工程の後または前記シリコン層をエピタキシャル成長して第 2 のシリコン層を形成する工程の後に、水素中で熱処理する工程を有することを特徴とする。

15 本発明の請求の範囲第 5 9 項の半導体デバイスの製造方法は、前記請求の範囲第 5 1 ないし 5 7 項のいずれかの製造方法において、前記第 2 のシリコン層にイオン注入をして界面深部をアモルファス化し、該アモルファス化された層を熱処理により再結晶化する工程の後に、シリコン層の表面を化学的および／または機械的研磨により平坦化することを特徴とする。

20

図面の簡単な説明

第 1 A 図から第 1 H 図は、本発明の請求の範囲第 1 0 項に記載の発明による半導体基板の作製手順を示す作製工程中の S O S 基板の断面図であり；

25 第 2 図は、本発明の実施例 1 および比較例 1 において作製した S O S 基板のシリコン層の、基板面に対して平行なシリコン (0 0 4) ピークと基板面に対して垂直

なシリコン（040）ピークのX線回折ロッキングカーブであり；

第3図は、本発明の実施例1および比較例1において作製したSOS基板のシリコン層の、基板面に対して垂直なシリコン（040）ピークのX線回折ロッキングカーブ半値幅の深さ方向の変化を示すグラフであり；

5 第4図は、本発明の実施例1で作製したSOS基板を用いて作製したMOSFETの断面構成図であり；

第5図は、本発明の実施例1で作製したSOS基板および比較例2にある市販の貼り合わせSOI基板を用いて作製したNMOSFETの電流-電圧特性を表した図であり；

10 第6図は、本発明の実施例1および比較例1で作製したSOS基板を用いて作製したNMOSFETのフリッカーノイズ特性を表す図であり；

第7図は、本発明の実施例1で作製したSOS基板を用いて作製したpinフォトダイオードの断面構成図である。

15 発明を実施するための最良の形態

以下に本発明の詳細な説明をする。

本発明における絶縁性の下地としては、サブアイア等の単結晶酸化物基板、或いは基板としてのシリコン基板上に堆積された $\alpha$ -Al<sub>2</sub>O<sub>3</sub>、 $\gamma$ -Al<sub>2</sub>O<sub>3</sub>、 $\theta$ -Al<sub>2</sub>O<sub>3</sub>、MgO·Al<sub>2</sub>O<sub>3</sub>、CeO<sub>2</sub>、SrTiO<sub>3</sub>、(Zr<sub>1-x</sub>, Y<sub>x</sub>)O<sub>y</sub>、Pb(Zr, Ti)O<sub>3</sub>、LiTaO<sub>3</sub>、LiNbO<sub>3</sub>等の結晶性の酸化物層もしくはCaF<sub>2</sub>等の結晶性のフッ化物層が用いられる。また、本発明においては、絶縁性の下地として、非晶質の材料、例えば、ガラス基板、あるいは基板としてのシリコン基板上のSiO<sub>2</sub>等も適用可能である。なお、本発明において、シリコン基板上に酸化物層やフッ化物層を成長する方法については特に制限はなく、通常、減圧化学気相成長法（LPCVD法）、超高真空化学気相成長法（UHV-CVD法）、

分子線エピタキシー法（M B E法）、スパッタリング法、レーザM B E法等が用いられる。S i O<sub>2</sub>の場合は、シリコン基板を酸化性雰囲気中で熱酸化処理したものでもよい。

図1は、本発明の請求項10に記載の発明による具体的な半導体基板のS O S基板の作製手順を示したものである。

本発明においては、まず、サファイア基板1の上に、第1のシリコン層2をエピタキシャル成長させる（a）が、その成長方法としては、常圧化学気相法（A P C V D法）、減圧化学気相法（L P C V D法）、超高真空化学気相法（U H V – C V D法）、分子線エピタキシー法（M B E法）、電子ビーム（E B）蒸着法等が用いられる。特にエピタキシャル成長法が好ましい。この際、第1のシリコン層の厚さについては特に制限はないが、例えば0.03 μmから1 μmの範囲が実用的である。

第1のシリコン層2をエピタキシャル成長した後に、第1のイオン注入としてシリコンイオンを注入して、その深部3をアモルファス化し（b）、第1の熱処理としてアニール処理を行って表層より再結晶化したシリコン層4を形成する（c）。シリコンイオン注入条件はシリコン層の膜厚により変わるが、絶縁性の下地との界面からシリコン層の80%程度がアモルファス化する条件でイオン注入することが好ましい。再結晶化の際のアニールは500℃から1000℃の範囲で窒素雰囲気あるいは酸化性雰囲気あるいは窒素雰囲気で熱処理した後、酸化性雰囲気で熱処理する工程が好ましい。再結晶の際、シリコン層と絶縁性の下地との熱膨張率の違いに起因する熱応力の影響を小さくするために、先に比較的低温でアニールを行い、その後、引き続き、より高温でのアニールを行うという、温度を変えた2段階のアニールを行うことが好ましい。次に、再結晶化したシリコン層4を酸化性雰囲気中で熱処理して、表面にシリコン酸化物層5を形成する（d）が、この熱処理によつて原子の再配列がおこり、エピタキシャル成長後の第1のシリコン層中に多数生成していた、界面の格子不整合に起因する転位や積層欠陥が低減したり、配向性の異なる部分が消失する。

本発明において、酸化性雰囲気中の熱処理の温度は、500℃以上1350℃以下であり、好ましくは600℃以上1300℃以下である。温度が低すぎると、原子の再配列の効果が小さくなり、一方、温度が高すぎると、下地の構成元素がシリコン層中に拡散侵入する等の問題がある。また、酸化性雰囲気中の熱処理の温度が高い場合、シリコン層中にドナー性の欠陥が生成し、例えば、MOSFETにおいて動作開始の電圧、すなわち、しきい電圧のずれが生じる等、問題が起こることがあるので、高温で酸化性雰囲気中の熱処理を行う高温熱処理と、引き続き、より低温で酸化性雰囲気中の熱処理を行う低温熱処理という、温度を変えた2段階の熱処理を行うことが、本発明による半導体基板上に、より信頼性の高い半導体デバイスを形成する上で好ましい。温度を変えた2段階の熱処理を行う場合、高温熱処理の好ましい温度は、800℃以上1200℃以下であり、低温熱処理の好ましい温度は、700℃以上1100℃以下である。

また、熱処理の雰囲気については、酸化性雰囲気であれば、特に制限はなく、O<sub>2</sub>、O<sub>2</sub>+H<sub>2</sub>、H<sub>2</sub>O、N<sub>2</sub>O等の酸化性ガス、あるいは、これらの酸化性ガスをN<sub>2</sub>、Ar等の不活性ガスで希釈したガスの雰囲気が通常用いられる。しかし、O<sub>2</sub>+H<sub>2</sub>混合ガスまたはH<sub>2</sub>Oを含むガスの場合に、結晶欠陥の低減や結晶性の向上等に関して、より大きな効果が得られるので、好ましい。これは、酸化性雰囲気中の熱処理には、原子の再配列の効果に加えて、シリコン層が酸化されてシリコン酸化物層が形成される際に、シリコン層の表面近傍に格子間シリコン原子が生成し、これがシリコン層中へと拡散して、シリコン空孔を埋めることにより、積層欠陥などを解消するという効果も有しており、熱処理の雰囲気がO<sub>2</sub>+H<sub>2</sub>混合ガスまたはH<sub>2</sub>Oを含むガスの場合、シリコン層表面近傍での格子間シリコン原子の生成速度が大きくなるため、結晶欠陥低減や結晶性向上等に関して、より大きな効果が得られるものと推定される。

次に、シリコン酸化物層5を、フッ酸やバッファードフッ酸(BHF)等によりエッティングして除去する(e)。ここで、第1のシリコン層を所定の厚さに残す際

に、シリコン層4を酸化性雰囲気中で熱処理して表面にシリコン酸化物層5を形成する工程(d)と、シリコン酸化物層5をエッチングして除去する工程(e)を2回以上繰り返すと、酸化性ガスがシリコン層の表面と接する機会が増え、シリコン層表面近傍での格子間シリコン原子の生成速度が大きくなるために、上記と同様に、  
5 結晶欠陥低減や結晶性向上等に関して、より大きな効果が得られ、好ましい。

その後、残ったシリコン層6をシード層として、その上に再度、シリコン層7をホモエピタキシャル成長する(f)。この際の成長法としては、第1のシリコン層と同様、APCVD法、LPCVD法、UHV-CVD法、MBE法、EB蒸着法等が用いられるが、第1のシリコン層2と同じ方法である必要はない。この堆積は、  
10 シリコン単結晶基板上にシリコン層を堆積させるホモエピタキシャル成長と同じであり、格子定数の違いによる影響を受けない。それに加えて成長温度を下げることができるという効果もあり、従来のヘテロエピタキシャル成長によるシリコン層と比較して、結晶性や表面平坦性が改善される。シリコン層7をホモエピタキシャル成長する際には、成長初期に、シード層表面に、シリコンのエピタキシャル成長を阻害するシリコン酸化物層が存在しないこと、かつ生成しないことが重要である。  
15 そのためには、成長雰囲気中に水分や酸素の極力少ないことが好ましく、成長法としては、UHV-CVD法、MBE法等のように、原料を供給しない状態でのベース圧力が、 $10^{-7}$  Torr以下であり、超高真空雰囲気下でシリコン層の成長ができる方法が好ましい。  
20 また、シリコン層7のホモエピタキシャル成長を行う前に、シード層6上の自然酸化膜やケミカルオキサイドを除去するために、水素雰囲気中あるいは真空中での加熱処理を行うことが好ましい。

シリコン層7のエピタキシャル成長を行う温度については、通常400°C以上200°C以下、好ましくは550°C以上1050°C以下である。シード層表面へのシリコン酸化物層の生成は、成長雰囲気中の水分や酸素の存在量と成長温度により決まり、成長雰囲気中の水分や酸素の存在量が少ないほど、低温でもシリコン酸化

物層が生成しにくい。したがって、UHV-CVD法やMBE法のような超高真空  
雰囲気下でシリコン層の成長ができる方法では、比較的低温でエピタキシャル成長  
を行うことができるが、その場合には、熱的な歪みが小さくなるために、高品質の  
結晶シリコン層が得られやすく好ましい。また、APCVD法やLPCVD法等に  
5 おいて、ベース圧力が  $10^{-7}$  Torr 以上の場合には、成長初期に、シリコン酸  
化物層の生成を抑制するために、成長温度を高くし、途中から成長温度を下げる  
いう温度プロファイルにすることが、良好なエピタキシャル成長を行う上で有効で  
ある。

本発明において、シリコン層7をホモエピタキシャル成長するためのシード層6  
10 の厚さについては特に制限はないが、好ましくは、5 nm以上1  $\mu$ m以下である。

次に、第2のシリコン層(6+7)に、再度、第2のイオン注入としてシリコン  
イオンを注入して(g)、その深部をアモルファス化し、第2の熱処理としてアニ  
15 ル処理を行って表層より再結晶化したシリコン層8を形成する(h)。本発明にお  
いてシリコン層をアモルファス化した後、第2の熱処理により再結晶化する際には  
シリコン層表面から絶縁層との界面方向に再結晶化が進むため、表面シリコン層の  
結晶性が良いほど再結晶化したシリコン層の結晶性は高くなる。酸化性雰囲気中で  
熱処理することにより形成したシード層上にエピタキシャル成長したシリコン層  
7は第1のエピタキシャルシリコン層よりも結晶性が高いため、第2のシリコン層  
20 をアモルファス化した後、再結晶化することにより結晶性の高いシリコン層が形成  
できる。なお、図1において、(d)から(h)の工程を2回以上繰り返すことによ  
り、結晶欠陥密度の低減、結晶性の向上、表面粗さの低減等について、さらに顕  
著な効果を達成することができる。

本発明において第1のシリコン層2、あるいは上記の再結晶化したシリコン層8  
に対して、水素雰囲気中での加熱処理を行うと、シリコン原子が表面をマイグレー  
25 ションして結晶の再配列化がおこり、結晶欠陥の低減や表面平坦性の向上が達成さ  
れるので、さらに好ましい。この際の水素雰囲気中での加熱処理の温度は、低すぎ

るとシリコン原子の表面マイグレーションが十分に起こらないし、高すぎると、下地の構成元素（例えばサファイアの場合はAl）が、多量にシリコン層へ拡散侵入して、シリコン層の結晶性を低下させたり、キャリア密度を変えたりする等の影響を及ぼすことから、700°C以上1300°C以下であり、好ましくは800°C以上5 1200°C以下である。

また、加熱処理の際の水素の分圧は、1 Torrから760 Torrの範囲で選ぶことができるが、この場合、分圧を調整する方法としては、真空ポンプによって真空引きしてもよいし、不活性ガスを用いて希釈してもよい。

水素中で加熱処理する時間も任意に選ぶことができるが、好ましくは、2分から10 5時間であり、より好ましくは、5分から3時間である。

また、第2の熱処理のアニール処理をして再結晶化した後、シリコン層8の表面を平坦化する処理を施すと、デバイスの性能や信頼性にとってよい効果をもたらすので好ましい。この際、平坦化処理の方法としては、前述と同様の水素雰囲気中の加熱処理や、化学的または／および機械的研磨処理が好ましい。

15 本発明により作製した半導体基板である、サファイア等単結晶酸化物基板や、シリコン基板とその上に堆積された $\alpha$ -Al<sub>2</sub>O<sub>3</sub>、 $\gamma$ -Al<sub>2</sub>O<sub>3</sub>、 $\theta$ -Al<sub>2</sub>O<sub>3</sub>、MgO・Al<sub>2</sub>O<sub>3</sub>、CeO<sub>2</sub>、SrTiO<sub>3</sub>、(Zr<sub>1-x</sub>、Y<sub>x</sub>)O<sub>y</sub>、Pb(Zr、Ti)O<sub>3</sub>、LiTaO<sub>3</sub>、LiNbO<sub>3</sub>等の結晶性酸化物層、もしくはCaF<sub>2</sub>等の結晶性のフッ化物層とからなる積層基板などを絶縁性の下地とするSOI基板20 は、I<sub>2</sub>、KI、HF、メタノール、水を混合したエッチング液に浸漬してピットを形成した後、走査型電子顕微鏡(SEM)を用いて単位面積当たりのピット数を測定するという方法によりシリコン層の結晶欠陥密度を求める。シリコン層の厚さが0.03 μm～0.7 μmのように小さな場合でも、シリコン層の深さ方向全体に渡って $7 \times 10^6$ 個/cm<sup>2</sup>以下の値が得られる。

25 また、同時に、シリコン層の、基板面に対して平行なシリコン(004)ピークのX線回折ロッキングカーブ半値幅が、0.24度以下0.03度以上であり、か

つ基板面に対して垂直なシリコン(0 4 0)ピークのX線回折ロッキングカーブ半  
5 値幅が0. 18度以下0. 03度以上であり、さらに(0 4 0)ピークのX線回折  
ロッキングカーブ半値幅よりも小さいという物性を有している。また、シリコン層  
の、基板面に対して垂直なシリコン(0 4 0)ピークのX線回折ロッキングカーブ  
半値幅は、深さ方向全体に渡ってほぼ一定で、0. 18度以下0. 03度以上の値  
を示す。

本発明において、表面粗さとは、原子間力顕微鏡を用いて、 $10 \mu\text{m} \times 10 \mu\text{m}$   
の範囲における平均二乗粗さ  $R_{\text{rms}}$  を求めたものであるが、本発明により作製し  
た半導体基板であるS O I基板の表面粗さは、いずれも2 nm以下であった。

10 本発明によれば、サファイア等の単結晶酸化物基板、基板としてのシリコン基板  
上に堆積された $\alpha\text{-Al}_2\text{O}_3$ 、 $\gamma\text{-Al}_2\text{O}_3$ 、 $\theta\text{-Al}_2\text{O}_3$ 、  
15  $\text{MgO}\cdot\text{Al}_2\text{O}_3$ 、 $\text{CeO}_2$ 、 $\text{SrTiO}_3$ 、 $(\text{Zr}_{1-x}, \text{Y}_x)\text{O}_y$ 、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 、 $\text{LiTaO}_3$ 、 $\text{LiNbO}_3$ 等の結晶性の酸化物層もしくは $\text{CaF}_2$ 等  
の結晶性のフッ化物層の上に、結晶欠陥のきわめて少ない、しかも表面平坦性の良  
20 好なシリコン層を作製することができるので、このS O I基板上には、従来の同様  
の材料構成からなるS O I基板では得られない優れた性能を有する半導体デバイ  
スを形成できる。

本発明の半導体デバイスは、請求項5 1～5 9に記載のように、製造方法の中に、  
前工程として、半導体基板であるS O I基板の結晶性や表面平坦性を改善する基板  
25 高品質化の工程を含めることにより得られ、以後の工程については、従来の技術を  
用いればよい。

本発明における半導体デバイスとは、その種類には特に制限はなく、M O S F E  
T、バイポーラトランジスタ、両者を組み合わせたB i C M O Sトランジスタ、薄  
膜トランジスタ(T F T)、ダイオード、太陽電池等、シリコンデバイス全般に当  
25 てはまる。また、M O S F E Tを始め、前記のデバイスから構成される集積回路で  
もよい。

例えば、SOS基板上にMOSFETを形成した場合、本発明においては、MOSFETが形成されるシリコン層が、結晶欠陥密度や表面粗さが小さいために、キャリアがチャネルを移動する際に散乱を受けにくく、実効移動度や相互コンダクタンスが高くなる。

5 また、フリッカーノイズについては、移動キャリアが、シリコン層中の結晶欠陥で散乱された時の移動度の揺らぎや、表面粗さを持ったシリコン層とその上に形成されたゲート酸化膜の界面に生成するトラップを介して、移動キャリアが捕獲と脱離の過程を経ること等が要因と言われており、シリコン層の結晶欠陥や表面粗さが低減されることにより、低フリッカーノイズを達成することができる。

10 また、MOSFETを構成するゲート酸化膜を、シリコン層の熱酸化により作製する場合、従来のように結晶欠陥密度や表面粗さが大きいと、熱酸化後のSiO<sub>2</sub>膜の厚さが不均一になったり、膜中にピンピールやウィークスポットを含むために、絶縁耐性の低下を招く。本発明においては、MOSFETが形成されるシリコン層が、結晶欠陥密度が低く、表面粗さも小さいので、熱酸化後のSiO<sub>2</sub>膜の欠陥が

15 少なく、格段に高いゲート絶縁耐圧を有する。

また、MOSFETが形成されるシリコン層の結晶欠陥密度の低減により、欠陥を介した電流のバスが少ないために、MOSFETがオフ状態の時に、ソースとドレインの間を流れるリーク電流を低減することができ、高い静電破壊耐圧（エレクトロスタティック・ディスチャージ）が得られる。

20 加えて、前述のように、本発明において対象としているSOI構造は、従来から、シリコン層の下地がSiO<sub>2</sub>である貼り合わせSOI基板やSIMOX基板に比べて、MOSFETのスナップバック耐圧が高かったが、本発明によりシリコン層の結晶欠陥が低減し、ソース部とドレイン部の間のリーク電流が減ること、さらに高温での加熱処理中に、下地の構成元素であるAlが、シリコン層中に拡散して界面

25 近傍にホットキャリアのキラー準位を形成して、ホットキャリアがボディ部に蓄積しにくくなることから、さらに高いスナップバック耐圧が得られる。

本発明において、シリコン層の厚さが0.03μm以上0.7μm以下の半導体基板であるS O I基板上に、ゲート長0.8μmのMOSFETを形成した場合、電流-電圧特性にキンクが現れず、ドレイン耐圧が7V以上であり、フリッカーノイズを表すインプット・ゲート・ボルテージ・スペクトラル・デンシティが、測定5周波数100Hzで $3 \times 10^{-12} \text{ V}^2/\text{Hz}$ 以下という特性が得られる。

上記のように、SOS基板上で、高性能、高信頼性を有するMOSFETから構成される集積回路は、同じデザインルールにおいて、高動作速度、低ノイズ、良好な增幅特性、高信頼性等、従来に比べ極めて優れた特性を発揮できる。そのために、移動体通信用高周波部品、衛星用LSI、アナログ/デジタル変換デバイス(ADC、DAC)、光伝送用LSI、アナログ-デジタル混載LSI他、各種アプリケーションに利用可能であり、非常に有用なデバイスと言える。

また、SOS基板上にバイポーラトランジスタを形成した場合も、本発明においては、MOSFETと同様に、相互コンダクタンス、遮断周波数、コレクタ電流、リード電流、電流利得等の特性が改善される。

また、SOS基板上に、フォトダイオード、光導波路、各種光イメージセンサなどの光デバイスを形成した場合、本発明においては、光デバイスが形成されるシリコン層の結晶欠陥密度や表面粗さの低減により、例えば、結晶欠陥を介した電流のパスが少なく、一方で光吸収により発生した電子や正孔のようなキャリアの再結合が起こりにくいために、フォトダイオードや光イメージセンサでは、光を照射していない時の暗電流が低く、光照射時の光電流が高い。さらに、結晶欠陥や表面粗さに起因する光散乱が少ないために、光導波路は伝送損失が小さい。

本発明において、シリコン層の厚さが0.03μm以上0.7μm以下の半導体基板であるS O I基板上に、p i n領域の幅が各1μmであるようなp i nフォトダイオードを形成した場合、2Vの逆バイアスを印加するという条件で測定した暗電流は $10^{-11} \text{ A}$ 以下、波長850nm、強度 $1 \text{ W}/\text{cm}^2$ の光照射下での光電流が $10^{-10} \text{ A}$ 以上という特性が得られる。このように、従来、S O I基板では、実

用上十分なフォトダイオードができなかったが、本発明によって、暗電流の減少と、光電流の増加ができ、実用的な、S O I 基板上のフォトダイオードが可能となる。

以下、本発明の実施例および比較例を示す。

(実施例 1)

5 R面サファイア基板上に、モノシラン ( $\text{SiH}_4$ ) ガスを原料とするLPCVD法により、成長温度950°Cにて、厚さ280nmの第1のシリコン層を堆積した。この第1のシリコン層に、第1のイオン注入として、基板温度を0°Cに保ちながら、エネルギー190keVのシリコンイオンを $1 \times 10^{16}/\text{cm}^2$ 注入して、サファイアとの界面側をアモルファス化した。その後、第1の熱処理として、窒素ガス雰囲気下、温度550°Cで30分間、続いて、温度900°Cで60分間の加熱処理を行い、シリコン層を再結晶化した。次に、これを酸化炉に導入し、1000°Cにおいて60分間水蒸気酸化した。そして、BHFに浸して酸化膜を除去した後、再び900°Cにおいて50分間水蒸気酸化した。この酸化膜を除去したが、除去後のシリコン層の膜厚は、100nmであった。

10 15 次に、残ったシリコン層の上に、モノシランを原料とするLPCVD法により、成長温度950°Cにてシリコン層を堆積し、第2のシリコン層を形成した。ここで、第2のシリコン層の総膜厚を測定したところ、280nmであった。この第2のシリコン層に第2のイオン注入として、基板温度0°Cに保ちながら、エネルギー190keVのシリコンイオンを $1 \times 10^{16}/\text{cm}^2$ 注入し、サファイアとの界面側をアモルファス化した。その後、第2の熱処理として、窒素ガス雰囲気下、温度550°Cで30分間、続いて温度900°Cで60分間の加熱処理を行い、シリコン層を再結晶化した。次に、これを酸化炉に導入し、1000°Cにおいて60分間水蒸気酸化した。そして、これをBHFに浸して酸化膜を除去した後、再び900°Cにおいて50分間水蒸気酸化した。この酸化膜を除去したが、除去後のシリコン層の膜厚は、100nmであった。

20 25 作製した半導体基板としてのSOS基板の結晶性を評価するために、この基板を

下記の手順で処理してエッチピットを形成した後、走査型電子顕微鏡（S E M）を用いて単位面積あたりのピット数を測定し、結晶欠陥密度を求めた。

- (1) 基板をメタノール中で超音波洗浄する。
- 5 (2) 2 % H F 水溶液を用いて表面の自然酸化膜を除去する。
- (3) 純水でオーバーフローする。
- (4) I<sub>2</sub> (4 g) + K I (12 g) + メタノール (40 c c) + H<sub>2</sub>O (40 c c) + H F (3 c c) の割合で混合したエッチング液に基板を 45 秒間浸す。
- (5) 純水でオーバーフロー後、先の (2)、(3) を繰り返す。

10

その結果、結晶欠陥密度は、 $5.0 \times 10^6$  個/ $\text{cm}^2$  であった。

また、作製した S O S 基板を高分解能 X 線回折装置を用いて、基板に対して平行な (0 0 4) 面と垂直な (0 4 0) のロッキングカーブの半値幅を測定した。

その結果、図 2 にようなカーブが得られ、これをもとに求められた (0 0 4) 面の半値幅は 0.182 度であり、(0 4 0) 面の半値幅は 0.126 であった。また、図 3 に示すように、(0 4 0) 面の半値幅は深さ方向に一定であり、結晶性はシリコン層の深さ方向に均一であった。

また、原子間力顕微鏡により、シリコン層の表面粗さ (R<sub>r m s</sub>) を測定したところ、1.4 nm であつた。

20 次に、作製した S O S 基板上に、CMOS プロセスを用いて、ゲート幅 50 ミクロン、ゲート長 0.8 ミクロンの n 型 M O S F E T を作製した。図 4 にデバイスの断面図を示す。この際、素子分離には L O C O S (Local Oxidation) を用い、ゲート酸化膜の厚みは 8 nm とした。チャネルには、B F<sub>2</sub><sup>+</sup> を、エネルギー 35 K e V で、 $6.0 \times 10^{12}$  /  $\text{cm}^2$  注入した。

25 この n 型 M O S F E T のしきい電圧は 0.7 V であり、図 5 の電流 - 電圧曲線から分かるように、キンクによるドレイン電流の変動はみられなかった。また、ドレ

イン耐圧は7.5Vであった。フリッカーノイズ特性は、図6に示すように、インプット・ゲート・ボルテージ・スペクトラル・デンシティ ( $S_{vg}$ ) で評価を行い、測定周波数は100Hz、ゲート電圧はしきい電圧+0.3V、ドレイン電圧は1Vという条件にて測定したところ、 $S_{vg}$ は $1.0 \times 10^{-12} V^2/Hz$ であった。

5 また、三角波パルスを用いた周波数掃引によるチャージポンピング法により、界面準位密度  $N_{ss}$  を測定した結果、 $1.1 \times 10^{11} / cm^2$  であった。

さらに、作製したSOS基板上にフォトダイオードを作製した。図7にデバイスの断面図を示す。素子は基板水平方向にp-i-n構造で形成し、i型領域のサイズは長さ75ミクロン、幅1ミクロンとした。n型領域には、エネルギー35keVでAs<sup>+</sup>を $2.0 \times 10^{15} / cm^2$ 注入した。また、p型領域には、エネルギー35keVでBF<sub>2</sub><sup>+</sup>を $2.0 \times 10^{15} / cm^2$ 注入した。n型領域に2Vのバイアスを印加した時、暗電流は $2.7 \times 10^{-12} A$ 、波長850nmで強度が1W/cm<sup>2</sup>の光照射下における光電流は $4.8 \times 10^{-10} A$  であった。

(比較例1)

15 R面サファイア基板上に、モノシリコンガスを原料とするLPCVD法により、成長温度950℃にて厚さ280nmの第1のシリコン層を堆積した。この第一のシリコン層に、基板温度を0℃に保ちながら、エネルギー190keVのシリコンイオンを $1 \times 10^{16} / cm^2$ 注入し、サファイアとの界面側をアモルファス化した。その後、窒素ガス雰囲気下、温度550℃で30分間、続いて温度900℃で60分間の加熱処理を行い、シリコン層を再結晶化した。次に、これを酸化炉に導入し、1000℃において60分間水蒸気酸化した。そして、これをBHFに浸して酸化膜を除去した後、再び900℃において50分間水蒸気酸化した。この酸化膜を除去したが、除去後のシリコン層の膜厚は、100nmであった。

これを実施例1と同様の方法で、結晶欠陥密度とロッキングカーブの半値幅を測定したところ、結晶欠陥密度は $4.3 \times 10^8$ 個/cm<sup>2</sup>であり、図2に示すように、(004)面の半値幅は0.270度であり、(040)面の半値幅は

0. 278度であった。また、図3に示すように、(040)面の半値幅は、シリコン層とサファイアの界面に近づくにつれて大きくなつた。さらに、シリコン層の表面粗さ (R<sub>rms</sub>) は 2.5 nm であった。

この基板を用いて、実施例1と同様にn型MOSFETを作製し、トランジスタ特性を測定したところ、しきい電圧は 0.7 V、キング効果によるドレイン電流の変動はみられず、ドレイン耐圧は 7.3 V であった。また、実施例1と同様にしてフリッカーノイズと界面準位密度を測定したところ、各々、S<sub>vg</sub> は  $3.2 \times 10^{-11} \text{ V}^2/\text{Hz}$  であり、N<sub>ss</sub> は、図6に示すように、  
 $5.0 \times 10^{11} / \text{cm}^2$  であつた。

さらに、実施例1と同様にフォトダイオードを作製し、同様にして暗電流と光電流を測定したところ、暗電流は  $1.4 \times 10^{-11} \text{ A}$  であり、光電流は  $9.2 \times 10^{-11} \text{ A}$  であった。

(比較例2)

シリコン層の膜厚が 100 nm の市販の貼り合わせSOI を用い、実施例1と同様の条件でn型MOSFETを作製し、トランジスタ特性を評価した。しきい電圧は 0.7 V であったが、図5の電流-電圧曲線から分かるように、キングによるドレイン電流の変動が観測された。この時のドレイン耐圧は 4.1 V と低かった。さらに、フリッカーノイズを測定したところ、S<sub>vg</sub> は  $3.7 \times 10^{-12} \text{ V}^2/\text{Hz}$  であった。

(実施例2)

第2のシリコン層を形成する際に、モノシリランを原料とするUHV-CVD法により、成長温度 750 °C にてシリコン層を堆積したこと以外は、実施例1と同様にしてSOS基板を作製した。

これを実施例1と同様の方法で結晶欠陥密度とロッキングカーブの半値幅を測定したところ、結晶欠陥密度は  $2.5 \times 10^6 \text{ 個/cm}^2$  で、(004)の半値幅 0.167 度、(040)の半値幅 0.120 度であった。(004)面の半値幅は

深さ方向に一定であり、結晶性はシリコン層の深さ方向に均一であった。また、シリコン層の表面粗さ（R<sub>r m s</sub>）は1.0 nmであった。

この基板を用いて、実施例1と同様にn型MOSFETを作製し、トランジスタ特性を評価したところ、しきい電圧は0.7 Vで、キックによるドレイン電流の変動は見られず、ドレイン耐圧は7.7 Vであった。また、実施例1と同様にしてフリッカーノイズと界面準位密度を測定したところ、各々、S<sub>v g</sub> 9.2 × 10<sup>-13</sup> V<sup>2</sup>/Hz、N<sub>s s</sub> 7.5 × 10<sup>10</sup>/cm<sup>2</sup>であった。

さらに、実施例1と同様にフォトダイオードを作製し、同様の条件にて暗電流と光電流を測定したところ、各々、1.0 × 10<sup>-12</sup> Aと6.1 × 10<sup>-10</sup> Aであった。

### （実施例3）

第1の熱処理により再結晶化した後、シリコン層を酸化する際に、1000°Cにおいて60分間水蒸気酸化する代わりに、酸素雰囲気中にて1000°Cで10時間の酸化処理を行ったこと以外は、実施例1と同様にしてSOS基板を作製した。

これを実施例1と同様の方法で結晶欠陥密度とロッキングカーブの半値幅を測定したところ、結晶欠陥密度は6.8 × 10<sup>6</sup>個/cm<sup>2</sup>で、(004)の半値幅0.205度、(040)の半値幅0.140度であった。(040)面の半値幅は深さ方向に一定であり、結晶性はシリコン層の深さ方向に均一であった。また、シリコン層の表面粗さ（R<sub>r m s</sub>）は1.5 nmであった。

この基板を用いて、実施例1と同様にn型MOSFETを作製し、トランジスタ特性を評価したところ、しきい電圧は0.7 Vで、キックによるドレイン電流の変動は見られず、ドレイン耐圧は7.5 Vであった。また、実施例1と同様にしてフリッカーノイズと界面準位密度を測定したところ、各々、S<sub>v g</sub> 2.0 × 10<sup>-12</sup> V<sup>2</sup>/Hz、N<sub>s s</sub> 1.6 × 10<sup>11</sup>/cm<sup>2</sup>であった。

さらに、実施例1と同様にフォトダイオードを作製し、同様の条件にて暗電流と光電流を測定したところ、各々、4.0 × 10<sup>-12</sup> Aと4.0 × 10<sup>-10</sup> Aであつ

た。

(実施例 4)

R面サファイア基板上に、モノシランガスを原料とするLPCVD法により、成長温度950℃にて厚さ280nmの第1のシリコン層を堆積した。この第1のシリコン層に、基板温度を0℃に保ちながら、エネルギー190keVのシリコンイオンを $1 \times 10^{16} / \text{cm}^2$ 注入し、サファイアとの界面側をアモルファス化した。その後、窒素ガス雰囲気下、温度550℃で30分間、続いて温度900℃で60分間の加熱処理を行い、シリコン層を再結晶化した。次に、これを酸化炉に導入し、1000℃において6分間水蒸気酸化した。これをBHFに浸して酸化膜を除去した後、再び900℃において50分間水蒸気酸化した。この酸化膜を除去したが、除去後のシリコン層の膜厚は、200nmであった。

次に、これを酸化炉に導入し、1000℃において21分間水蒸気酸化した。これをBHFに浸して酸化膜を除去した後、再び900℃において50分間水蒸気酸化した。この酸化膜を除去した後のシリコン層の膜厚は、100nmであった。

次に、残ったシリコン層の上に、モノシランを原料とするLPCVD法により、成長温度950℃にてシリコン層を堆積し、第2のシリコン層を形成した。ここで、第2のシリコン層の総膜厚を測定したところ、280nmであった。

この第2のシリコン層に、第2のイオン注入として、基板温度を0℃に保ちながら、エネルギー190keVのシリコンイオンを $1 \times 10^{16} / \text{cm}^2$ 注入し、サファイアとの界面側をアモルファス化した。その後、第2の熱処理として、窒素ガス雰囲気下、温度550℃で30分間、続いて温度900℃で60分間の加熱処理を行い、シリコン層を再結晶化した。次に、これを酸化炉に導入し、1000℃において60分間水蒸気酸化した。これをBHFに浸して酸化膜を除去した後、再び900℃において50分間水蒸気酸化した。この酸化膜を除去した後のシリコン層の膜厚は、100nmであった。

これを実施例1と同様の方法で、結晶欠陥密度とロッキングカーブの半値幅を測

定したところ、結晶欠陥密度が  $1.5 \times 10^6$  個/ $\text{cm}^2$  で、(004) 面の半値幅 0.168 度、(040) 面の半値幅 0.120 度であった。(040) 面の半値幅は深さ方向に一定であり、結晶性はシリコン層の深さ方向に均一であった。また、シリコン層の表面粗さ (R<sub>rms</sub>) は 1.3 nm であった。

5 この基板を用いて、実施例 1 と同様に n 型 MOSFET を作製し、トランジスタ特性を測定したところ、しきい電圧は 0.7 V で、キックによるドレイン電流の変動はみられず、ドレイン耐圧は 7.8 V であった。また、実施例 1 と同様にしてフリッカーノイズと界面準位密度を測定したところ、各々、S<sub>vg</sub>  $9.0 \times 10^{-13}$  V<sup>2</sup>/Hz、N<sub>ss</sub>  $9.1 \times 10^{10}$  /cm<sup>2</sup> であった。

10 さらに、実施例 1 と同様にフォトダイオードを作製し、同様の条件にて暗電流と光電流を測定したところ、各々、 $9.3 \times 10^{-13}$  A と  $6.5 \times 10^{-10}$  A であった。

(実施例 5)

15 実施例 1 における第 2 の熱処理によりシリコン層を再結晶化した後、これを圧力 80 Torr の水素ガス雰囲気中 1100 °C で 30 分間の加熱処理を行ったこと以外は実施例 1 と同様にして SOS 基板を作製した。

これを実施例 1 と同様の方法で結晶欠陥密度とロッキングカーブの半値幅を測定したところ、結晶欠陥密度は  $2.1 \times 10^6$  個/ $\text{cm}^2$  で、(004) 面半値幅 0.165 度、(040) 面の半値幅 0.121 度であった。(040) 面の半値幅は深さ方向に一定であり、結晶性はシリコン層の深さ方向に均一であった。また、シリコン層の表面粗さ (R<sub>rms</sub>) は 0.7 nm であった。

この基板を用いて、実施例 1 と同様に n 型 MOSFET を作製し、トランジスタ特性を評価したところ、しきい電圧は 0.7 V で、キックによるドレイン電流の変動はみられず、ドレイン耐圧は 7.8 V であった。また、実施例 1 と同様にしてフリッカーノイズと界面準位密度を測定したところ、各々、S<sub>vg</sub>  $8.8 \times 10^{-13}$  V<sup>2</sup>/Hz、N<sub>ss</sub>  $6.0 \times 10^{10}$  /cm<sup>2</sup> であった。

さらに、実施例1と同様にフォトダイオードを作製し、同様の条件にて暗電流と光電流を測定したところ、各々、 $9.6 \times 10^{-13} \text{ A}$ と $6.0 \times 10^{-10} \text{ A}$ であつた。

(実施例6)

5 基板として、R面サファイアの代わりに、シリコン(100)基板上にトリメチルアルミニウムと酸素を原料とするUHV-CVD法を用いて、基板温度880°Cにて $\gamma\text{-Al}_2\text{O}_3$ を堆積した基板を用いたこと以外は実施例1と同様にしてSOI基板を作製した。

これを実施例1と同様の方法で、結晶欠陥密度とロッキングカーブの半値幅を測定したところ、結晶欠陥密度が $6.7 \times 10^6 \text{ 個/cm}^2$ で、(004)面の半値幅0.202度、(040)面の半値幅0.143度であつた。(040)面の半値幅は深さ方向に一定であり、結晶性はシリコン層の深さ方向に均一であった。また、シリコン層の表面粗さ(Rrms)は1.5 nmであつた。

この基板を用いて、実施例1と同様にn型MOSFETを作製し、トランジスタ特性を測定したところ、しきい電圧は0.7 Vで、キックによるドレイン電流の変動はみられず、ドレイン耐圧は7.3 Vであつた。また、実施例1と同様にしてフリッカーノイズと界面準位密度を測定したところ、各々、 $S_{\text{v g}} 1.8 \times 10^{-12} \text{ V}^2/\text{Hz}$ 、 $N_{\text{ss}} 1.5 \times 10^{11} \text{ /cm}^2$ であつた。

さらに、実施例1と同様にフォトダイオードを作製し、同様にして暗電流と光電流を測定したところ、各々、 $3.9 \times 10^{-12} \text{ A}$ と $3.8 \times 10^{-10} \text{ A}$ であつた。

(比較例3)

基板として、R面サファイアの代わりに、シリコン(100)基板上にトリメチルアルミニウムと酸素を原料とするUHV-CVD法を用いて、基板温度880°Cにて $\gamma\text{-Al}_2\text{O}_3$ を堆積した基板を用いたこと以外は、比較例1と同様にしてSOI基板を作製した。

これを実施例1と同様の方法で、結晶欠陥密度とロッキングカーブの半値幅を測

定したところ、結晶欠陥密度は  $4.8 \times 10^8$  個/ $\text{cm}^2$  で、(004)面の半値幅は 0.276 度であり、(040)面の半値幅は 0.282 度であった。また、(040)面の半値幅は、シリコン層とサファイアの界面に近づくにつれて大きくなつた。さらに、シリコン層の表面粗さ (R<sub>ms</sub>) は 2.8 nm であった。

5 この基板を用いて、実施例 1 と同様に n 型 MOSFET を作製し、トランジスタ特性を測定したところ、しきい電圧は 0.7 V、キック効果によるドレイン電流の変動はみられず、ドレイン耐圧は 7.1 V であった。また、実施例 1 と同様にして、フリッカーノイズと界面準位密度を測定したところ、S<sub>vg</sub> は  $6.6 \times 10^{-11} \text{ V}^2/\text{Hz}$ 、N<sub>ss</sub> は  $8.9 \times 10^{11} / \text{cm}^2$  であった。

10 さらに、実施例 1 と同様にフォトダイオードを作製し、同様にして暗電流と光電流を測定したところ、暗電流は  $1.8 \times 10^{-11} \text{ A}$  であり、光電流は  $8.1 \times 10^{-11} \text{ A}$  であった。

#### 産業上の利用可能性

15 本発明によれば、サファイア等の単結晶酸化物基板、あるいはシリコン基板との上に堆積された結晶性の前記酸化物層が、 $\alpha\text{-Al}_2\text{O}_3$ 、 $\gamma\text{-Al}_2\text{O}_3$ 、 $\theta\text{-Al}_2\text{O}_3$ 、 $\text{MgO}\cdot\text{Al}_2\text{O}_3$ 、 $\text{CeO}_2$ 、 $\text{SrTiO}_3$ 、 $(\text{Zr}_{1-x}, \text{Y}_x)\text{O}_y$ 、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 、 $\text{LiTaO}_3$ 、 $\text{LiNbO}_3$  等の結晶性の酸化物層もしくは  $\text{CaF}_2$  等の結晶性のフッ化物層の上に、結晶欠陥が極めて少なく、表面平坦性も良好なシリコン層を形成できる。そのため、本発明による半導体基板上には、従来の SOS 基板等で問題とされていた、フリッカーノイズ等の改善、動作速度の向上、リーク電流低減やゲート酸化膜耐圧向上等により、従来にない高いデバイス性能や信頼性を有する電子デバイスや光デバイス等の半導

20 25 体デバイスを SOI 基板上に実現することができる。

## 請求の範囲

1. 絶縁性の下地と、その上にエピタキシャル成長された結晶シリコン層とからなり、前記絶縁性の下地が、単結晶酸化物基板、またはシリコン基板とその上に堆積された結晶性の酸化物層もしくはフッ化物層とからなる積層基板から構成されている半導体基板であつて、

ヨウ素系エッチング液への浸漬により形成した単位面積あたりのピット数を計測するという欠陥密度測定方法により評価した前記結晶シリコン層の欠陥密度が、深さ方向全体に亘って  $7 \times 10^6$  個/ $\text{cm}^2$  以下であり、かつ該結晶シリコン層の表面粗さが、 $2 \text{ nm}$  以下  $0.05 \text{ nm}$  以上であることを特徴とする半導体基板。

2. 前記結晶シリコン層の、基板面に対して平行なシリコン (004) ピークの X 線回折ロッキングカーブ半値幅が、 $0.24$  度以下  $0.03$  度以上であり、かつ基板面に対して垂直なシリコン (040) ピークの X 線回折ロッキングカーブ半値幅が  $0.18$  度以下  $0.03$  度以上であることを特徴とする請求の範囲第 1 項に記載の半導体基板。

3. 前記結晶シリコン層の、基板面に対して垂直なシリコン (040) ピークの X 線回折ロッキングカーブ半値幅が、基板面に対して平行なシリコン (004) ピークの X 線ロッキングカーブ半値幅よりも小さいことを特徴とする請求の範囲第 1 項に記載の半導体基板。

4. 前記結晶シリコン層の、基板面に対して垂直なシリコン (040) ピークの X 線回折ロッキングカーブ半値幅が、深さ方向全体に渡ってほぼ一定で、 $0.18$  度以下  $0.03$  度以上であることを特徴とする請求の範囲第 1 項に記載の半導体基板。

5. 前記結晶シリコン層の一部を熱酸化し、該結晶シリコン層上にシリコン酸物層を形成した後、チャージポンピング法により測定した界面単位密度が、 $3 \times 10^{11}/\text{cm}^2$  以下  $1 \times 10^9/\text{cm}^2$  以上であることを特徴とする請求の範

囲第1項に記載の半導体基板。

6. 前記結晶シリコン層の厚さが0.03μm以上0.7μm以下であることを特徴とする請求の範囲第1項に記載の半導体基板。
7. 前記絶縁性の下地が前記単結晶酸化物基板であり、該単結晶酸化物基板がサ  
5 ファイア基板であることを特徴とする請求の範囲第1項に記載の半導体基板。
8. 前記絶縁性の下地が前記積層基板であり、その基板としてのシリコン基板上  
に堆積された結晶性の前記酸化物層が、 $\alpha\text{-Al}_2\text{O}_3$ 、 $\gamma\text{-Al}_2\text{O}_3$ 、  
 $\theta\text{-Al}_2\text{O}_3$ 、 $\text{MgO}\cdot\text{Al}_2\text{O}_3$ 、 $\text{CeO}_2$ 、 $\text{SrTiO}_3$ 、 $(\text{Zr}_{1-x}, \text{Y}_x)\text{O}_y$ 、  
Pb $(\text{Zr}, \text{Ti})\text{O}_3$ 、 $\text{LiTaO}_3$ 、 $\text{LiNbO}_3$ のいずれかからなり、前記フッ  
10 化物層が $\text{CaF}_2$ からなることを特徴とする請求の範囲第1項に記載の半導体基板。
9. 絶縁性の下地の上に欠陥密度が低いシリコン層が形成されてなる半導体基板  
の製造方法であって、
  - (a) 前記絶縁性の下地の上に、第1のシリコン層を形成する工程と、
  - (b) 前記第1のシリコン層に第1のイオン注入をして界面深部をアモルファ  
15 ス化し、該アモルファス化された層を第1の熱処理により再結晶化する工程と、
  - (c) 第1のシリコン層の上に、シリコン層をエピタキシャル成長して、第2  
のシリコン層を形成する工程と、
  - (d) 前記第2のシリコン層に第2のイオン注入をして界面深部をアモルファ  
ス化し、該アモルファス化された層を第2の熱処理により再結晶化する工程と、  
20 を有することを特徴とする半導体基板の製造方法。
10. 絶縁性の下地の上に欠陥密度が低いシリコン層が形成されてなる半導体基  
板の製造方法であって、
  - (a) 前記絶縁性の下地の上に、第1のシリコン層を形成する工程と、
  - (b) 前記第1のシリコン層に第1のイオン注入をして界面深部をアモルファ  
25 ス化し、該アモルファス化された層を第1の熱処理により再結晶化する工程と、
  - (c) 前記再結晶化された第1のシリコン層を酸化性雰囲気中で熱処理し、表

面側の一部を酸化する工程と、

(d) 前記工程 (c) で形成されたシリコン酸化膜をエッティングにより除去する工程と、

(e) 残った第 1 のシリコン層の上に、シリコン層をエピタキシャル成長して、

5 第 2 のシリコン層を形成する工程と、

(f) 前記第 2 のシリコン層に第 2 のイオン注入をして界面深部をアモルファス化し、該アモルファス化された層を第 2 の熱処理により再結晶化する工程と、  
を有することを特徴とする半導体基板の製造方法。

11. 前記残った第 1 のシリコン層を所定の厚さにする際に、前記工程 (c) ~  
10 (d) を 2 回以上繰り返すことを特徴とする請求の範囲第 10 項に記載の半導体基  
板の製造方法。

12. 前記工程 (f) において形成されたシリコン層を前記工程 (b) で形成された再結晶化された第 1 のシリコン層と見なし、前記工程 (c) ~ (f) を、2 回以上繰り返すことを特徴とする請求の範囲第 10 ないし 11 項のいずれかに記載  
15 の半導体基板の製造方法。

13. 絶縁性の下地の上に欠陥密度が低いシリコン層が形成されてなる半導体基  
板の製造方法であって、

- (a) 前記絶縁性の下地の上に、第 1 のシリコン層を形成する工程と、
- (b) 前記第 1 のシリコン層を酸化性雰囲気中で熱処理し、表面側の一部を酸  
20 化する工程と、
- (c) 前記工程 (b) で形成されたシリコン酸化膜をエッティングにより除去する工程と、
- (d) 残った第 1 のシリコン層の上に、シリコン層をエピタキシャル成長して、  
第 2 のシリコン層を形成する工程と、
- 25 (e) 前記第 2 のシリコン層にイオン注入をして界面深部をアモルファス化し、  
該アモルファス化された層を熱処理により再結晶化する工程と、

を有することを特徴とする半導体基板の製造方法。

14. 前記残った第1のシリコン層を所定の厚さにする際に、前記工程（b）～（c）を2回以上繰り返すことを特徴とする請求の範囲第13項に記載の半導体基板の製造方法。

5 15. 前記工程（e）において形成されたシリコン層を前記工程

（a）で形成された第1のシリコン層と見なし、前記工程（b）～（e）を、2回以上繰り返すことを特徴とする請求の範囲第13ないし14項のいずれかに記載の半導体基板の製造方法。

16. 前記酸化性雰囲気が、酸素と水素の混合ガスまたは水蒸気を含むことを特  
10 徴とする請求の範囲第10ないし15項のいずれかに記載の半導体基板の製造方  
法。

17. 前記酸化性雰囲気中での熱処理の温度が600℃以上1300℃以下であることを特徴とする請求の範囲第10ないし16項のいずれかに記載の半導体基板の製造方法。

18. 前記酸化性雰囲気中での熱処理が、高温で行う高温熱処理と、引き続きより低温で行う低温熱処理という、温度を変えた2段階の熱処理からなることを特徴とする請求の範囲第10ないし16項のいずれかに記載の半導体基板の製造方法。  
19. 前記酸化性雰囲気中での高温熱処理の温度が800℃以上1200℃以下であり、前記酸化性雰囲気中での低温熱処理の温度が700℃以上1100℃以下であることを特徴とする請求の範囲第18項に記載の半導体基板の製造方法。

20. 前記第1のシリコン層の上に、シリコン層をエピタキシャル成長して、第2のシリコン層を形成する温度が、550℃以上1050℃以下であることを特徴とする請求の範囲第9ないし15項のいずれかに記載の半導体基板の製造方法。

21. 前記第1のシリコン層の上に、シリコン層をエピタキシャル成長して、第2のシリコン層を形成する工程の前に、該第1のシリコン層を水素雰囲気中または真空中で加熱処理することを特徴とする請求の範囲第9ないし15項のいずれか

に記載の半導体基板の製造方法。

22. 前記第1のシリコン層の上に、シリコン層をエピタキシャル成長して、第2のシリコン層を形成する際に用いる装置の成長室のベース圧力を $10^{-7}$  Torr以下とすることを特徴とする請求の範囲第9ないし15項のいずれかに記載の

5 半導体基板の製造方法。

23. 前記第1のシリコン層の上に、シリコン層をエピタキシャル成長して、第2のシリコン層を形成する方法が、UHV-CVD法またはMBE法であることを特徴とする請求の範囲第9ないし15項のいずれかに記載の半導体基板の製造方法。

10 24. 前記第1のシリコン層の上に、シリコン層をエピタキシャル成長して、第2のシリコン層を形成する時に、成長初期においてのみ成長温度を高く設定することを特徴とする請求の範囲第9ないし15項のいずれかに記載の半導体基板の製造方法。

15 25. 前記第1のシリコン層の上に、シリコン層をエピタキシャル成長して、第2のシリコン層を形成する方法が、APCVD法またはLPCVD法であることを特徴とする請求の範囲第24項に記載の半導体基板の製造方法。

26. 前記第2のシリコン層にイオン注入をして界面深部をアモルファス化し、該アモルファス化された層を熱処理により再結晶化する工程の後、または前記シリコン層をエピタキシャル成長して第2のシリコン層を形成する工程の後に、水素中で熱処理する工程を有することを特徴とする請求の範囲第9ないし15項のいずれかに記載の半導体基板の製造方法。

27. 前記水素中での熱処理の温度が800°C以上1200°C以下であることを特徴とする請求の範囲第26項に記載の半導体基板の製造方法。

28. 前記第2のシリコン層にイオン注入をして界面深部をアモルファス化し、該アモルファス化された層を熱処理により再結晶化する工程の後に、シリコン層の表面を平坦化することを特徴とする請求の範囲第9ないし15項のいずれかに記

載の半導体基板の製造方法。

29. 前記シリコン層の表面を平坦化する方法が、化学的または／および機械的研磨処理であることを特徴とする請求の範囲第28項に記載の半導体基板の製造方法。

5 30. 前記絶縁性の下地の上に第1のシリコン層を形成する工程が、絶縁性の下地の上に第1のシリコン層をエピタキシャル成長する工程であることを特徴とする請求の範囲第9ないし29項のいずれかに記載の半導体基板の製造方法。

31. 前記絶縁性の下地が単結晶酸化物基板であることを特徴とする請求の範囲第9ないし30項のいずれかに記載の半導体基板の製造方法。

10 32. 前記絶縁性の下地がサファイア基板であることを特徴とする請求の範囲第31項に記載の半導体基板の製造方法。

33. 前記絶縁性の下地が、基板としてのシリコン基板上に堆積された結晶性の酸化物層もしくはフッ化物層とからなる積層基板であることを特徴とする請求の範囲第9ないし30項のいずれかに記載の半導体基板の製造方法。

15 34. 前記結晶性の酸化物層が、 $\alpha$ -Al<sub>2</sub>O<sub>3</sub>、 $\gamma$ -Al<sub>2</sub>O<sub>3</sub>、 $\theta$ -Al<sub>2</sub>O<sub>3</sub>、MgO·Al<sub>2</sub>O<sub>3</sub>、CeO<sub>2</sub>、SrTiO<sub>3</sub>、(Zr<sub>1-x</sub>Y<sub>x</sub>)O<sub>y</sub>、Pb(Zr, Ti)O<sub>3</sub>、LiTaO<sub>3</sub>、LiNbO<sub>3</sub>のいずれかからなり、前記結晶性のフッ化物層がCaF<sub>2</sub>からなることを特徴とする請求の範囲第33項に記載の半導体基板の製造方法。

20 35. 前記請求の範囲第9ないし34項のいずれかに記載の製造方法により製造されたことを特徴とする半導体基板。

36. 前記請求項9ないし34のいずれかに記載の製造方法により製造されたことを特徴とする請求の範囲第1ないし8項のいずれかに記載の半導体基板。

37. 基板として半導体基板を用いた半導体デバイスであって、前記半導体基板として、請求の範囲第1ないし8項のいずれかに記載の半導体基板が用いられ、それによってデバイス特性が向上していることを特徴とする半導体デバイス。

38. 前記半導体デバイスがMOSFETであり、その半導体基板として請求の範囲第1ないし8項のいずれかに記載の半導体基板を用いることにより向上しているデバイス特性が、相互コンダクタンス、遮断周波数、フリッカーノイズ、エレクトロスタティック・ディスチャージ、ドレイン耐圧、絶縁破壊電荷量、リーク電流特性のうちの少なくとも一つであることを特徴とする請求の範囲第37項に記載の半導体デバイス。

39. 前記MOSFETが、その半導体基板として請求の範囲第1ないし8項のいずれかに記載の半導体基板であって、結晶シリコン層の厚さが0.03μm以上0.7μm以下の半導体基板上に形成されたMOSFETであり、電流-電圧特性にキックが現れず、ゲート長0.8μmの場合のドレイン耐圧が7V以上あり、フリッカーノイズを表すインプット・ゲート・ボルテージ・スペクトル・デンシティが測定周波数100Hzで $3 \times 10^{-12} V^2/Hz$ 以下という特性を有することを特徴とする請求の範囲第38項に記載の半導体デバイス。

40. 前記半導体デバイスがバイポーラトランジスタであり、その半導体基板として請求の範囲第1ないし8項のいずれかに記載の半導体基板を用いることにより向上しているデバイス特性が、相互コンダクタンス、遮断周波数、コレクター電流、リーク電流、電流利得のうちの少なくとも一つであることを特徴とする請求の範囲第37項に記載の半導体デバイス。

41. 前記半導体デバイスがダイオードであり、その半導体基板として請求の範囲第1ないし8項のいずれかに記載の半導体基板を用いることにより向上しているデバイス特性が、逆バイアスリーク電流、順バイアス電流、ダイオード因子のうちの少なくとも一つであることを特徴とする請求の範囲第37項に記載の半導体デバイス。

42. 前記ダイオードが、その半導体基板として請求の範囲第1ないし8項のいずれかに記載の半導体基板であって、結晶シリコン層の厚さが0.03μm以上0.7μm以下の半導体基板上に形成されたpinフォトダイオードであり、

p i n 領域の幅が各  $1 \mu\text{m}$  で、 $2 \text{ V}$  の逆バイアスを印加という条件で測定した暗電流が  $10^{-11} \text{ A}$  以下、波長  $850 \text{ nm}$  で強度が  $1 \text{ W/cm}^2$  の光照射下での光電流が  $10^{-10} \text{ A}$  以上という特性を有することを特徴とする請求の範囲第 41 項に記載の半導体デバイス。

5 43. 前記半導体デバイスが半導体集積回路であり、その半導体基板として請求の範囲第 1 ないし 8 項のいずれかに記載の半導体基板を用いることにより向上しているデバイス特性が、周波数特性、ノイズ特性、增幅特性、消費電力特性のうちの少なくとも一つであることを特徴とする請求の範囲第 37 項に記載の半導体デバイス。

10 44. 基板として半導体基板を用いた半導体デバイスであって、前記半導体基板として、前記請求の範囲第 9 ないし 34 項のいずれかに記載の製造方法により製造された半導体基板が用いられ、それによってデバイス特性が向上していることを特徴とする半導体デバイス。

15 45. 前記半導体デバイスが MOSFET であり、前記デバイス特性が、相互コンダクタンス、遮断周波数、フリッカーノイズ、エレクトロスタティック・ディスチャージ、ドレイン耐圧、絶縁破壊電荷量、リーク電流特性のうちの少なくとも一つであることを特徴とする請求の範囲第 44 項に記載の半導体デバイス。

20 46. 前記MOSFET が、その半導体基板として請求の範囲第 9 ないし 34 項のいずれかに記載の製造方法により製造された半導体基板であって、結晶シリコン層の厚さが  $0.03 \mu\text{m}$  以上  $0.7 \mu\text{m}$  以下の半導体基板上に形成されたMOSFET であり、電流電圧特性にキックが現れず、ゲート長  $0.8 \mu\text{m}$  の場合のドレイン耐圧が  $7 \text{ V}$  以上あり、フリッカーノイズを表すインプット・ゲート・ボルテージ・スペクトラル・デンシティが測定周波数  $100 \text{ Hz}$  で  $3 \times 10^{-12} \text{ V}^2/\text{Hz}$  以下という特性を有することを特徴とする請求の範囲第 45 項に記載の半導体デバイス。

25 47. 前記半導体デバイスがバイポーラトランジスタであり、前記デバイス特性

が、相互コンダクタンス、遮断周波数、コレクター電流、リーク電流、電流利得のうちの少なくとも一つであることを特徴とする請求の範囲第44項に記載の半導体デバイス。

48. 前記半導体デバイスがダイオードであり、前記デバイス特性が、逆バイアスリーク電流、順バイアス電流、ダイオード因子のうちの少なくとも一つであることを特徴とする請求の範囲第44項に記載の半導体デバイス。

49. 前記ダイオードが、その半導体基板として請求の範囲第9ないし34項のいずれかに記載の製造方法により製造された半導体基板であって、結晶シリコン層の厚さが $0.03\text{ }\mu\text{m}$ 以上 $0.7\text{ }\mu\text{m}$ 以下の半導体基板上に形成されたp i nフォトダイオードであり、p i n領域の幅が各 $1\text{ }\mu\text{m}$ で、2Vの逆バイアスを印加という条件で測定した暗電流が $10^{-11}\text{ A}$ 以下、波長850nm、強度が $1\text{ W/cm}^2$ の光照射下での光電流が $10^{-10}\text{ A}$ 以上という特性を有することを特徴とする請求の範囲第48項に記載の半導体デバイス。

50. 前記半導体デバイスが半導体集積回路であり、前記デバイス特性が、周波数特性、ノイズ特性、增幅特性、消費電力特性のうちの少なくとも一つであることを特徴とする請求の範囲第44項に記載の半導体デバイス。

51. 絶縁性の下地と、その上に形成されたシリコン層からなる半導体基板上に半導体デバイスを製造する方法において、

- (a) 前記絶縁性の下地の上に、第1のシリコン層を形成する工程と、
- (b) 前記第1のシリコン層に第1のイオン注入をして界面深部をアモルファス化し、該アモルファス化された層を第1の熱処理により再結晶化する工程と、
- (c) 第1のシリコン層の上に、シリコン層をエピタキシャル成長して、第2のシリコン層を形成する工程と、
- (d) 前記第2のシリコン層に第2のイオン注入をして界面深部をアモルファス化し、該アモルファス化された層を第2の熱処理により再結晶化する工程と、
- (e) 前記工程(d)で形成されたシリコン層を酸化性雰囲気中で熱処理して

表面側の一部を酸化した後、形成されたシリコン酸化膜をエッチングにより除去して、前記シリコン層を所望の厚さに調整する工程と、  
を有することを特徴とする半導体デバイスの製造方法。

5 2. 絶縁性の下地と、その上に形成されたシリコン層からなる半導体基板上に  
5 半導体デバイスを製造する方法において、

- (a) 前記絶縁性の下地の上に、第1のシリコン層を形成する工程と、
- (b) 前記第1のシリコン層に第1のイオン注入をして界面深部をアモルファス化し、該アモルファス化された層を第1の熱処理により再結晶化する工程と、
- (c) 前記再結晶化された第1のシリコン層を酸化性雰囲気中で熱処理し、表  
10 面側の一部を酸化する工程と、
- (d) 前記工程 (c) で形成されたシリコン酸化膜をエッチングにより除去す  
る工程と、
- (e) 残つた第1のシリコン層の上に、シリコン層をエピタキシャル成長して、  
第2のシリコン層を形成する工程と、
- 15 (f) 前記第2のシリコン層に第2のイオン注入をして界面深部をアモルファス化し、該アモルファス化された層を第2の熱処理により再結晶化する工程と、
- (g) 前記工程 (f) で形成されたシリコン層を酸化性雰囲気中で熱処理して  
表面側の一部を酸化した後、形成されたシリコン酸化膜をエッチングにより除去して、前記シリコン層を所望の厚さに調整する工程と、  
20 を有することを特徴とする半導体デバイスの製造方法。

5 3. 前記残つた第1のシリコン層を所定の厚さにする際に、前記工程 (c) ~  
25 (d) を2回以上繰り返すことを特徴とする請求の範囲第52項に記載の半導体デ  
バイスの製造方法。

5 4. 前記工程 (f) において形成されたシリコン層を前記工程 (b) で形成さ  
れた再結晶化された第1のシリコン層と見なし、前記工程 (c) ~ (f) を、2回  
以上繰り返すことを特徴とする請求の範囲第52ないし53項のいずれかに記載

の半導体デバイスの製造方法。

5 5. 絶縁性の下地と、その上に形成されたシリコン層からなる半導体基板上に半導体デバイスを製造する方法において、

- (a) 前記絶縁性の下地の上に、第1のシリコン層を形成する工程と、
- 5 (b) 前記第1のシリコン層を酸化性雰囲気中で熱処理し、表面側の一部を酸化する工程と、
- (c) 前記工程 (b) で形成されたシリコン酸化膜をエッチングにより除去する工程と、
- (d) 残つた第1のシリコン層の上に、シリコン層をエピタキシャル成長して、
- 10 第2のシリコン層を形成する工程と、
- (e) 前記第2のシリコン層にイオン注入をして界面深部をアモルファス化し、該アモルファス化された層を熱処理により再結晶化する工程と、
- (f) 前記工程 (e) で形成されたシリコン層を酸化性雰囲気中で熱処理して表面側の一部を酸化した後、形成されたシリコン酸化膜をエッチングにより除去して、前記シリコン層を所望の厚さに調整する工程と、
- 15 を有することを特徴とする半導体デバイスの製造方法。

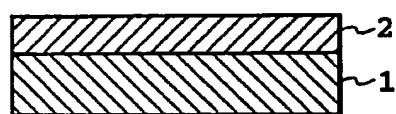
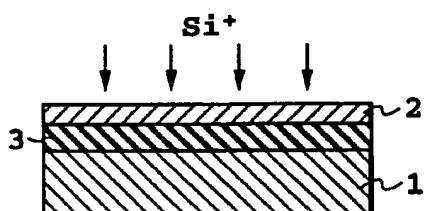
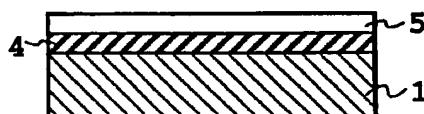
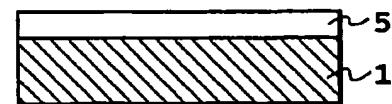
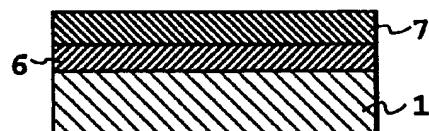
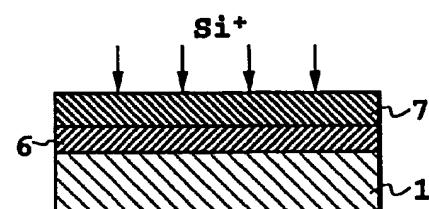
5 6. 前記残つた第1のシリコン層を所定の厚さにする際に、前記工程 (b) ~ (c) を2回以上繰り返すことを特徴とする請求の範囲第55項に記載の半導体デバイスの製造方法。

20 5 7. 前記工程 (e) において形成されたシリコン層を前記工程 (a) で形成された第1のシリコン層と見なし、前記工程 (b) ~ (e) を、2回以上繰り返すことを特徴とする請求の範囲第55ないし56項のいずれかに記載の半導体デバイスの製造方法。

5 8. 前記第2のシリコン層にイオン注入をして界面深部をアモルファス化し、  
25 該アモルファス化された層を熱処理により再結晶化する工程の後または前記シリコン層をエピタキシャル成長して第2のシリコン層を形成する工程の後に、水素中

で熱処理する工程を有することを特徴とする請求の範囲第51ないし57項のいずれかに記載の半導体デバイスの製造方法。

59. 前記第2のシリコン層にイオン注入をして界面深部をアモルファス化し、該アモルファス化された層を熱処理により再結晶化する工程の後に、シリコン層の5表面を化学的および／または機械的研磨により平坦化することを特徴とする請求の範囲第51ないし57項のいずれかに記載の半導体デバイスの製造方法。

**FIG. 1A****FIG. 1B****FIG. 1C****FIG. 1D****FIG. 1E****FIG. 1F****FIG. 1G****FIG. 1H**

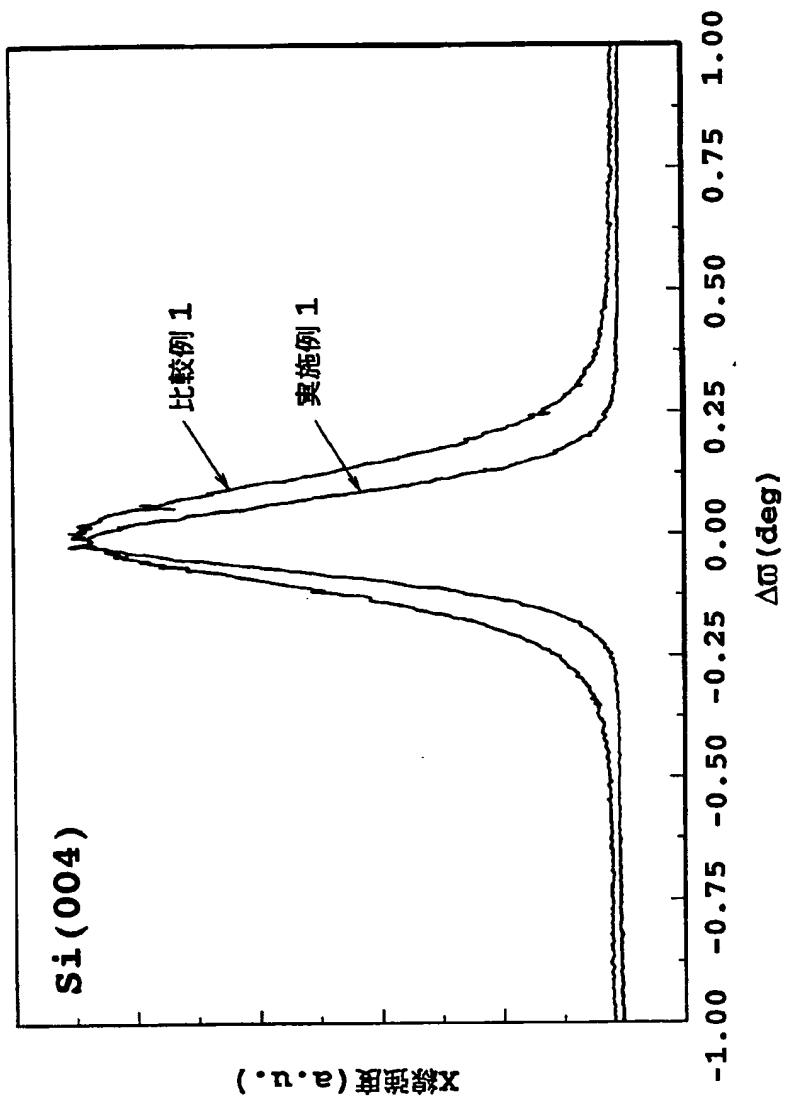


FIG. 2

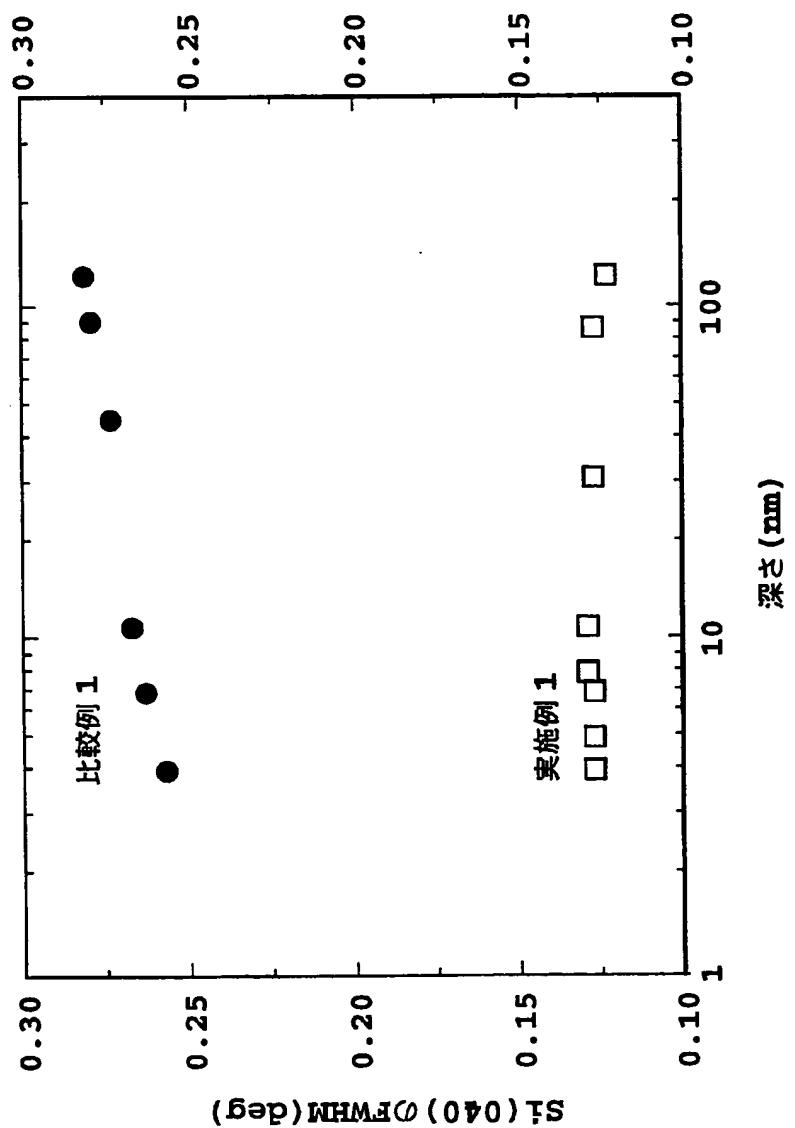
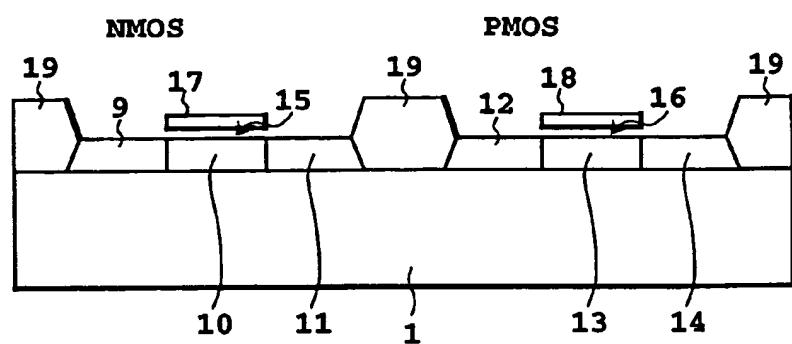


FIG. 3

4/7

**FIG. 4**

5/7

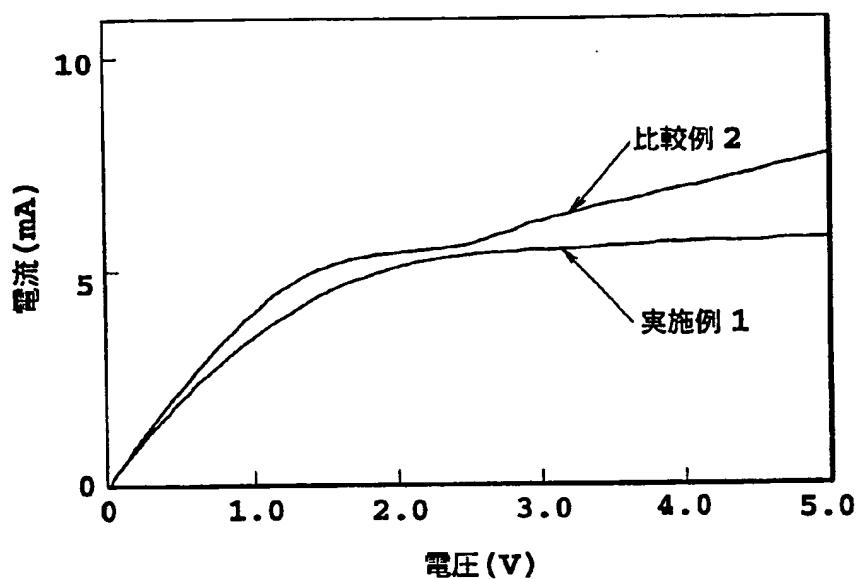


FIG. 5

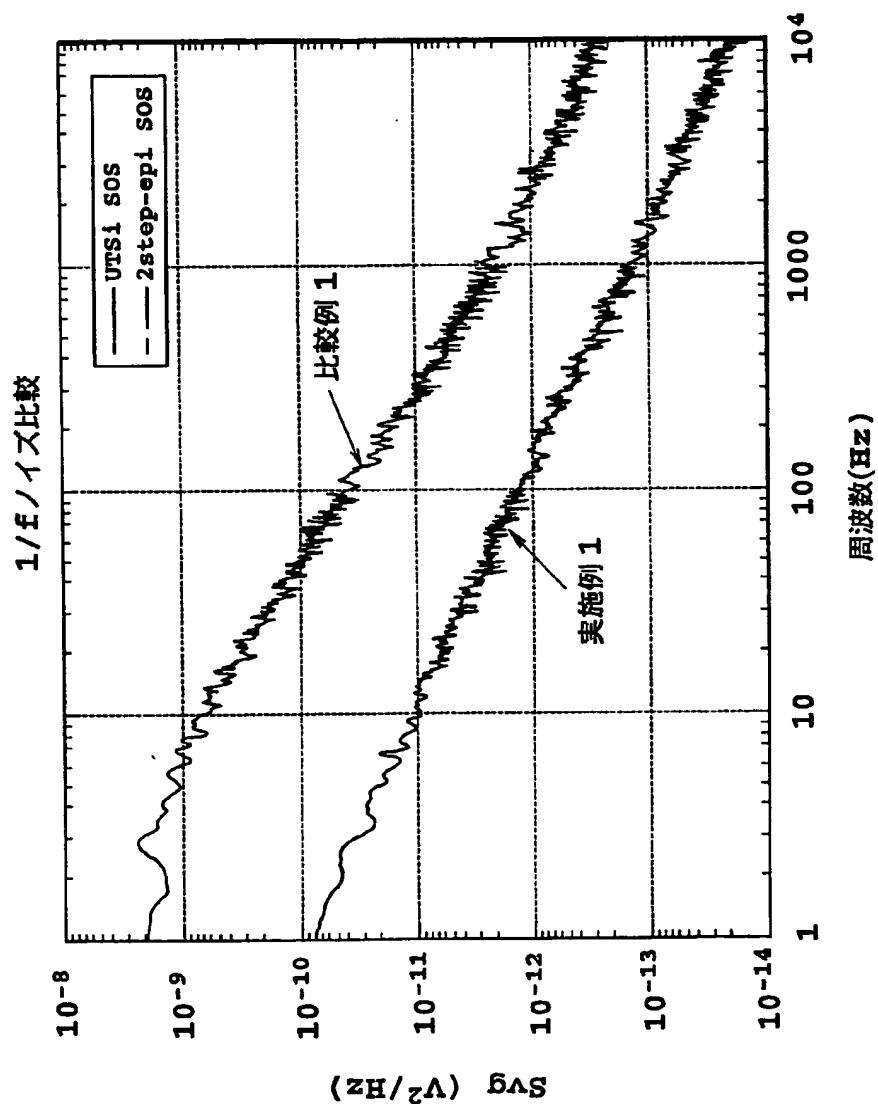
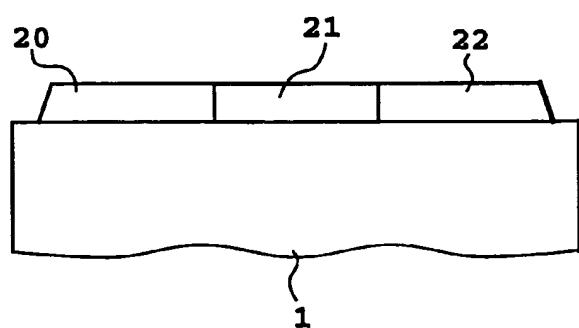


FIG. 6

7/7

**FIG. 7**

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/05231

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L21/20, H01L27/12, H01L29/786

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L21/20Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-1999  
Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP, 51-80160, A (Agency of Industrial Science and Technology), 13 July, 1976 (13.07.76), Full text (Family: none)	1-8, 37-43 1-8, 37-43
X Y	S. Furukawa, "SOI Structure Formation Technology", (Japan), Sangyo Toshio K.K., 23 October, 1987 (23.10.87), Claim: "Characteristic required for 1.1.2 SOI structure", page 133; Claim: "Solid-phase Growth Method"; page 134, Figs 6.2	1-8, 37-43 1-8, 37-43
X Y	JP, 59-82744, A (NEC Corporation), 12 May, 1984 (12.05.84), Full text; Figs. 1 to 6 (Family: none)	1-8, 37-43 1-8, 37-43
X Y	JP, 58-28855, A (NEC Corporation), 19 February, 1983 (19.02.83), Full text; Figs. 1 to 3 & US, 4470618, A	1-8, 37-43 1-8, 37-43

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X"	earlier document but published on or after the international filing date of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&"	document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means		
"P" document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search  
15 December, 1999 (15.12.99)Date of mailing of the international search report  
28 December, 1999 (28.12.99)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## 国際調査報告

国際出願番号 PCT/JP99/05231

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl' H01L21/20, H01L27/12, H01L29/786

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl' H01L21/20

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-1999年  
 日本国登録実用新案公報 1994-1999年  
 日本国実用新案登録公報 1996-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P, 51-80160, A (工業技術院長) 13. 7月. 1976 (13. 07. 76) 全文 (ファミリーなし)	1-8, 37-43 1-8, 37-43
X Y	古川静二郎, 「S O I 構造形成技術」, (日), 産業図書株式会社, 23. 10月. 1987 (23. 10. 87) 「1. 1. 2 S O I 構造に要求される特性」の項、第133頁 「固相成長法」の項、第134頁の図6. 2参照	1-8, 37-43 1-8, 37-43
X Y	J P, 59-82744, A (日本電気株式会社) 12. 5月. 1984 (12. 05. 84) 全文, 第1-6図 (ファミリーなし)	1-8, 37-43 1-8, 37-43

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

## 国際調査を完了した日

15. 12. 99

## 国際調査報告の発送日

28.12.99

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

## 特許庁審査官 (権限のある職員)

宮崎園子

印 4L 9277

電話番号 03-3581-1101 内線 3498

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 58-28855, A (日本電気株式会社) 19. 2月. 1983 (19. 02. 83) 全文, 第1-3図	1-8, 37-43
Y	& US, 4470618, A	1-8, 37-43